硅器件与Ⅲ - Ⅴ族器件发展路线图

预计到 2020 年，硅晶圆代工厂将会从硅器件转向锗和Ⅲ - Ⅴ族器件。实现这一转变绝非易事，但是研究人员在电介质层、接触电阻、峰值电流、材料质量等方面不断努力寻求突破。理查德·史蒂文森报道。

舆论曾一次又一次声称降低硅基晶体管尺寸的进程终有一天会终结。一些人认为，光刻尺寸不可能会超越光波长的界限——但是我们现在已经可以实现这一点；另一些人警告说，当晶体管达到纳米级别，电子无法获取足够的速度——然而只要在材料体系中施加应力就能迎刃而解；还有人指出高漏电流会限制器件尺寸的进一步降低，但是，诸如氧化铪等高 K 电介质取代氧化硅成为开关材料，使得这一难题也未能阻挡尺寸降低这一潮流的发展。

现如今，越来越多的评论家声称硅晶体管将会终结，这一次他们或许是对的。因为不仅是评论家们，众多的半导体行业从业者也相信这一点。国际半导体技术路线图（ITRS）就给出了到 2015 年半导体技术发展到 11 纳米时，锗和 III-V 族器件将会发挥重要作用。

最近在德国法兰克福的欧洲化合物半导体会议上，来自英国格拉斯哥大学的 Iain Thayne 对于新材料工艺对硅工艺生产线所能产生的实质的影响力给出了合理的解释。Thayne 致力于研究Ⅲ - Ⅴ族的器件在射频及毫米波段前道工艺上的应用。他指出随着器件尺寸的降低引入化合物半导体来提高性能是很有必要的。

Thayne 说：“硅工艺中晶体管密度的增加导致严重的热效应，很快就会超越器件所能承受的极限。”他解释说，防止电路中的器件过热可以采纳新型的晶体管，在保证电路中电压降低的同时不会影响器件整体性能。唯一能满足这些要求的就是利用锗和Ⅲ - Ⅴ族器件来替代硅基晶体管。

他同时指出器件尺寸降低的关键就是增加器件上晶体管的密度。每一个新的节点都要求更短的栅长，但同时栅极节距也在不断缩短，缩短幅度反而更大。图 1 中根据国际半导体发展路线图（ITRS）栅极节距的下降幅度超过了栅长的下降。

硅行业中持反对意见的业内人士则认为，Ⅲ - Ⅴ族器件无法匹配到逻辑电路当中。由于化合物半导体中态密度较低，这类晶体管无法产生足够高的驱动电流。但 Thayne 的一位同事 Asen Asenov 则指出上述责难中的关键点所在，在Ⅲ - Ⅴ族器件当中尽管较低的态密度会导致较低的有效电容，然而这种材料体系具有较高的迁移率和较低的有效质量，使得注入载流子具有较高的速度并增强冲击电流特性。更重要的是，由于载流子能量高，低态密度意味着注入载流子具有更高的速度；由于载流子迁移率高，这类材料体系通过阻值调节可以在栅极调制方面具有更好的性能。

材料特性

为优化Ⅲ - Ⅴ族器件的性能，研究人员需要找到一种材料体系，能够将高速载流子和低工作电压器件结合起来。Thayne 介绍到，栅极节距从 75nm 下降到 15nm(2024 年的目标值）意味着沟道载流子浓度将从 $8.5x10^{12}cm^{-2}$ 下降到 $5.1x10^{12}cm^{-2}$，同时载流子速度从 $1.3x10^{5}ms^{-1}$ 增加到 $3.5x10^{5}ms^{-1}$。这其中最有价值的材料是 InGaAs，MIT 的研究结果显示 $In_{0.7}Ga_{0.3}As$ 作为沟道可以使载流子速度达到 $3x10^{5}ms^{-1}$，同时栅长可以降到 20nm 以下。

Thayne 指出Ⅲ - Ⅴ族器件应用到逻辑电路中还需要更高的要求。他说这类晶体管需要具有 75 mV/decade 的亚阈值摆幅才能容易实现关断，还需要能够制成非平面器件结构，类似于 Intel 公司在 22nm 级中所应用的三栅极结构。此外由于尺寸降低，源极和漏极直接距离仅有几纳米，接触电阻将会意外上升。

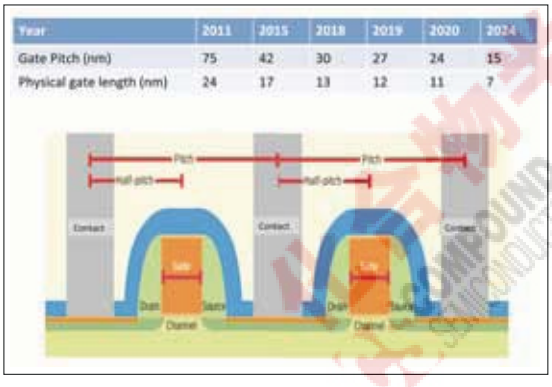


图1：根据国际半导体发展路线图（ITRS）栅极节距的下降幅度超过了栅长的下降。

格拉斯哥的技术团队同时参与了欧洲双层逻辑计划（European Dual Logic programme）以及半导体研究公司非典型CMOS研究中心（Semiconductor Research Corporation Non-Classical CMOS Research Center）的研究项目。他们的主要研究方向包括以下三个方面：栅层叠的提升；解决源极和漏极接触尺寸减小相关的问题；硅工艺和Ⅲ - Ⅴ族器件工艺流程兼容性的问题。

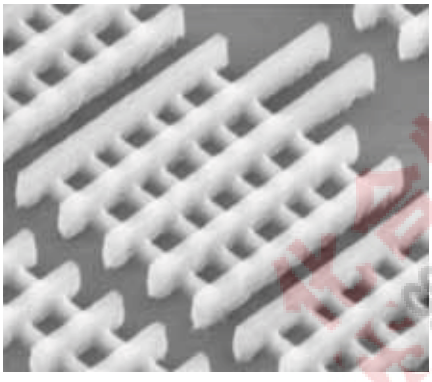
Thayne研究小组正致力于研发一种平带结构的MOSFET（如图2）。这是一种类似HEMT器件的结构，在宽带隙部分采用Delta掺杂，电子在迁移到窄带部分时会产生高迁移率的二维电子气。如果在介质层顶端采用功函数较高的栅极金属，器件就会形成耗尽，驱动其在零偏压下形成关断。加正向偏压载流子会重新注入到沟道中。

这种MOSFET具有两项关键优势：宽带隙低掺杂避免了短沟道效应；沟道非掺杂、界面漫散射低以及源极和漏极扩展区域较低的电阻所导致的高迁移率。

当该研究小组最初在2000年初开始研发该Ⅲ - Ⅴ族MOSFET时，他们一部分的主要工作是希望能制成良好的栅层叠。起初他们采用Veeco公司的第三代双腔室的MBE系统在半绝缘的GaAs衬底上来分子束外延研究团队外延层，样品在真空状态下由第一反应室转到第二反应室，在第二反应室中他们加入了Ga_2O模板和GdGaO层。由这些外延片制作出来的平带Ⅲ - Ⅴ族MOSFET器件具有良好的性能，迁移率达到5000$cm^2V^{-1}s^{-1}$，方块载流子密度达到2x$10^{12}cm^{-2}$以上，在1μm的栅长下跨导达到357μS/μm，亚阈值摆幅为68 mV/decade。

为提高载流子的注入速度，研究人员尝试使用$In_{0.53}Ga_{0.47}As$作为沟道层，Al_2O_3作为介质层，厚度大约为60个原子层。这种新结构的好处在于可以增加迁移率，在掺杂浓度2x$10^{12}cm^{-2}$条件下，迁移率最高可以达到6000$cm^2V^{-1}s^{-1}$。

对于表面沟道结构的晶体管而言，这种晶体管的栅长为1μm，Al_2O_3介质层厚度为2.5nm，晶体管的跨导达到357μS/μm，但同时亚阈值摆幅可以达到150 mV/decade。



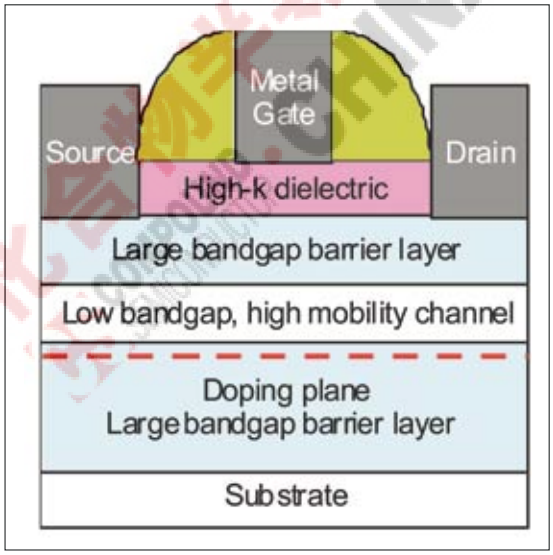


图2：英国格拉斯哥大学的Iain Thayne研究小组开发了一种平带结构的Ⅲ - Ⅴ族器件。

Intel公司所采用的从平面晶体管到立体结构的转型给非平面器件指明了发展方向，即要求形成非原始态的界面。考虑到这一趋势的影响，Thayne与斯坦福大学的Paul McIntyre，德尔研究院的Paul Hurley组成研究团队一起共同研究不同的处理手段对晶体管性能的影响。

研究团队采用三种不同方式处理的外延片。其中两个在生长完Ⅲ - Ⅴ族外延层后从MBE反应腔中取出：一个不进行表面处理直接生长栅极介质层，如此空气中的氧化物会在介质层界面处产生；一个进行硫化工艺处理然后沉积高K系数的介质层。第三片在MBE系统中沉积一层防止氧化的砷盖层，然后利用斯坦福大学的原子层沉积技术去除掉该盖层，使得栅极能够直接沉积在原始表面上。对这些MOSFET进行迁移率测试，结果表明硫化工艺处理可以做到和原始表面处理一样具有良好的界面态（见图3）。

Thayne和他的团队要解决的第二个问题是要使得源极和漏极在仅有几纳米维度下具有较低接触电阻。ITRS路线图表明栅极节距要从2011年的75nm下降到2024年的15nm，这种情况下源极和漏极接触从21nm削减到2nm，源 - 漏之间的电阻要从160Ω μm下降到110Ω μm。

“传统”的方法是无法实现的，因为模拟以及实验都论证了在接触面积达到几个纳米时接触电阻会急剧上升。很多

研究小组试图通过不同方式来解决这道难题。来自格拉斯哥大学的研究人员采用 NiInAs 来制备超低阻值浅金属化的源 - 漏级。Thayne 表示这种首次采用的源 - 漏极技术可以最大程度满足 ITRS 所提出的 12nm 技术节点的要求，即相应的栅极节距在 27nm。

格拉斯哥大学研究小组要解决的第三个问题是硅工艺和Ⅲ - Ⅴ族器件工艺流程完全自对准的兼容性。研究团队首创了两种不同的设计方案：“栅极优先”和“栅极替换”。前一种结构是采用 $In_{0.3}Ga_{0.7}As$ 的平带 MOSFET 结构，采用 GaO/GaGdO 为介质层，栅长为 100nm。这种晶体管漏极峰值电流达到 250μA/μm，跨导达到 150μS/μm，同时亚阈值摆幅达到 150 mV/decade。“栅极替换”结构下亚阈值摆幅降到 130 mV/decade，并且由于具有高达 18kΩμm 的接近电阻，器件会保持持续的导通状态。这个问题可以通过源 - 漏级退火来解决，需要在一个小型设备上完成材料扩散。

三维器件

来自普渡大学的 Pelde Ye 的研究小组，沿用了 Intel 的技术路线，将三维技术引入到Ⅲ - Ⅴ族 MOSFET 中。Pelde Ye 详细描述了 FET 的技术发展方向，从Ⅲ - Ⅴ族平面体材料结构发展到Ⅲ - Ⅴ族栅极包裹的 HFET 结构（见图 4）。他的研究小组最近完成了后一种结构的器件制备。在 InP 衬底上制作 p 型掺杂的 InGaAs 沟道层多种多沟道结构，并将其埋在 10nm 厚的 Al_2O_3，或者更厚的 WN 介质层下（见图 5）。这其中一种具有 4 平行沟道，栅长 50nm，fin 宽 30nm 的结构可以产生较低的栅极电压，峰值电流达到 1170μA/μm，同时亚阈值摆幅达到 150 mV/decade。

这些研究成果必将对 ITRS 路线图产生深远的影响。传统上的栅长降低会使得电流已经跨导上升明显。而这些晶体管结构则会避免这种短沟道效应。更重要的是，由于量子限制，仅有纳米尺寸的沟道尺寸降低会导致电流的骤升。

最近电子学快报报道了 Ye 的研究成果的一些细节，他和他的研究团队发现当纳米线宽度从 50nm 下降到 30nm 时，电流上升 40%，迁移率和跨导则分别上升 34% 和 20% 以上。

为了解释纳米线减薄造成电流上升——我们所不希望见到的负面效果，Ye 的研究小组采用 Synopsys 公司的 Sentaurus 工艺器件仿真软件来模拟器件结构。模拟结果显示纳米线的结构会形成反转效应，即纳米线边缘的电子浓度低而内部电子浓度高。由于这些电荷载流子倾向于偏离散射作用较强的界面，电子就会在以更快的速度穿过沟道区。模拟结果随着纳米线尺寸的下降纳米线中间的电子比例上升，尤其到纳米线宽度下降到 10nm 时电子浓度下降的尤为显着。

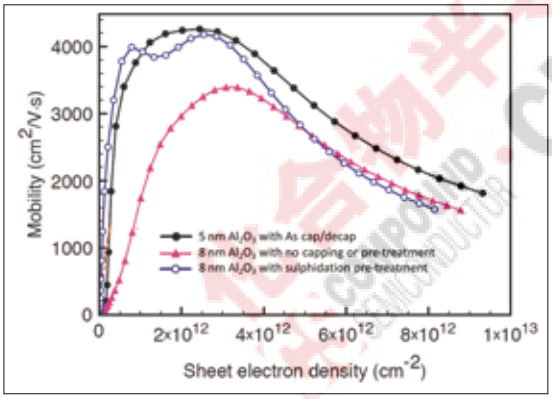


图 3：德尔研究院的研究人员开发的一种硫化工艺，通过去除砷盖层来最大程度上抵消迁移率下降的劣势。这是一项极被看好的技术成果，因为这是一种破坏原始界面的非平面晶体管结构。

整合到硅工艺上

如果化合物半导体的 MOSFET 器件想要能够进行产业化，那他必须要能够整合到大尺寸硅衬底上。由于存在晶格常数以及晶体结构上的差异，锗和Ⅲ - Ⅴ族想要在硅上实现高质量的器件是非常困难的。来自比利时 imec 的 Matty Caymax 研究小组正尝试实现这一工艺。在 2011 年欧洲化合物半导体会议上 Caymax 详细描述了为在硅上实现高质量的锗和Ⅲ - Ⅴ族器件所做的尝试和努力。Ⅲ - Ⅴ族器件的制作工艺上采用了一种杯状底部（更多细节参考“imec 硅上Ⅲ - Ⅴ族器件制备工艺”imec prepares the ground for III-V transistors on silicon, Compound Semiconductor March 2011 p.12）。上述制备工艺（见图 6）消除了能够导致器件产生缺陷的反相畴。Caymax 说：“到目前为

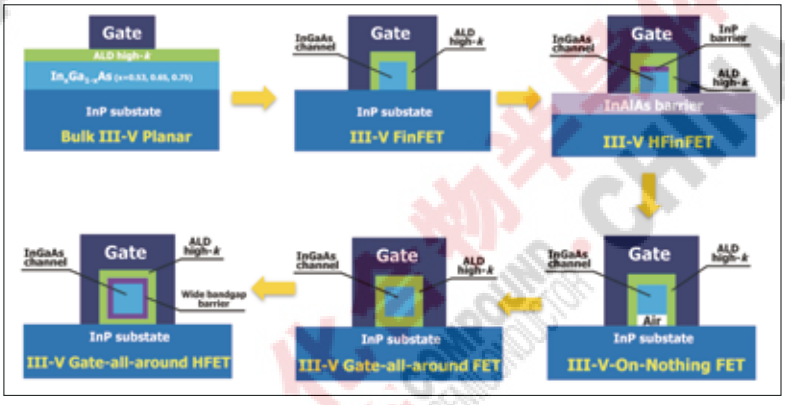


图 4：来自普渡大学的Pelde Ye指出，Ⅲ - Ⅴ族MOSFET已经从平面结构进化到一种电介质层包裹沟道层的结构。

下转第37页

功能强大而简单的紫外 LED

在活跃区添加少许铟并优化金属触点可使 UV LED 性能大增。

GERMAN COLLABORATION 使用数量相对较少的工艺，已经生产出具有最先进效率的 355 nm AlGaN 基 LED。

“据我们所知，我们的 [器件] 具有比迄今公布的 AlGaN 基 LED 最佳值略高的 EQE，”德国弗朗霍夫协会应用固体物理研究所（Fraunhofer Institute for Applied Solid State Physics） 的 Thorsten Passow 说。

这些高性能的 UV LED 在 100 mA 驱动电流时可以产生 22.7 mW，将有助于为多种应用开发固态源，包括光学检测、荧光光谱、UV 固化、水净化和表面消毒。

图：弗朗霍夫应用固态物理IAF和乌尔姆大学的工程师构建的365 nm LED可在100 mA驱动电流条件下提供超过20 mW输出功率。

该研究小组成员来自乌尔姆大学和应用固态物理 IAF 的弗朗霍夫协会，他们已经制作出了自制的 LED，它用一种专有原位氮化硅（SiN_x）技术制备了 2 英寸 $Al_{0.2}Ga_{0.8}N$/ 蓝宝石模板。

MOCVD 生长形成了三种不同类型的 LED 磊晶结构（epistructure）。第一种结构 700 nm 厚，硅掺杂的 $Al_{0.15}Ga_{0.85}N$ 的 n 型接点；一个夹在两

上接第35页

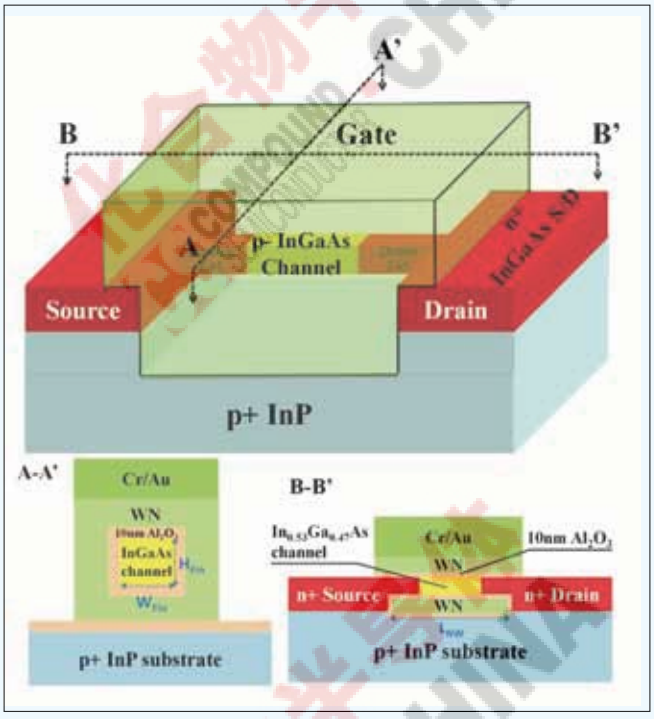


图5：来自普渡大学的Pelde Ye的研究小组开创了Ⅲ-Ⅴ族栅极包裹的FET结构。目前为止，他们研究内容涵盖了栅长50-120nm, fin宽30和50nm, 1,4,9和19个平行沟道，沟道长度150-200nm范围，还有一种10nm厚的Al_2O_3作为介质层的结构。

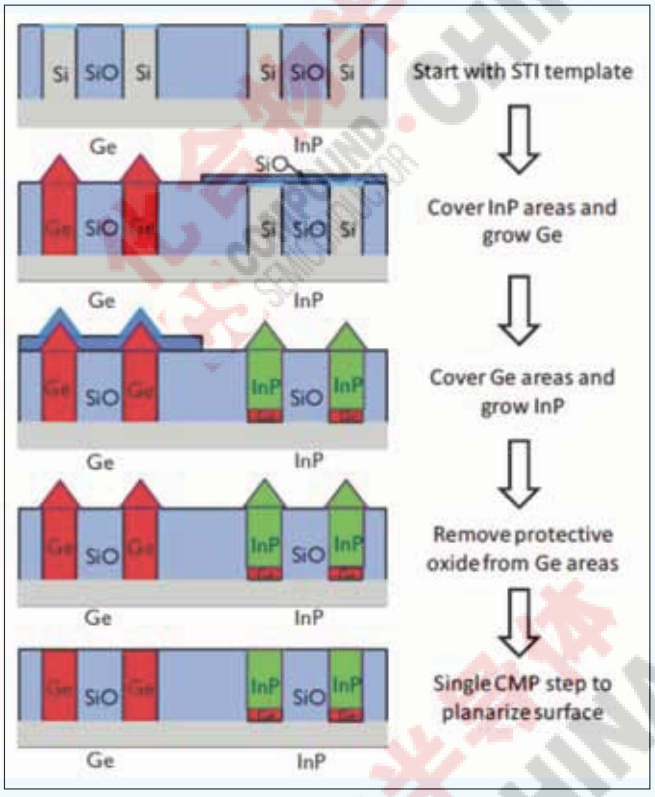


图6：IMEC的研究人员试图开发一种能将锗和 Ⅲ-Ⅴ族晶体管整合到硅衬底上工艺流程。

止我们最好的实验结果可以达到缺陷密度 $2x10^8cm^{-2}$，”他还说：“这还远远不够，我们会尽力实现更低的缺陷密度。”

一直以来晶体管的结泄漏都是比较严重的。为研究泄漏的起源，研究小组开发了一种截面原子探针扫描，通过这项新技术研究小组发现一些原子跑到了他们原本不该待的位置上：一些锗原子进入 InP 中，而一些铟和磷原子则跑到锗及硅衬底当中。

Caymax 的研究小组，同之前提到的 Thayne 和 Ye 领导的小组一样，都在致力于将Ⅲ - Ⅴ族晶体管应用到未来的逻辑电路当中。到目前为止的研究成果让大家看到了曙光，棘手的困难也都在一步步的被克服掉。相信在将来若干年时间内，硅 CMOS 工艺一旦退出历史舞台，那么收拾残局并接手上台的必将会是这些化合物半导体器件。CSC