

化合物半导体



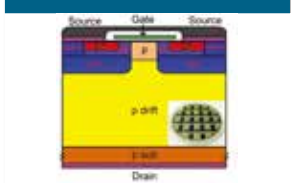
• CHINA

季刊 2018年 第1期

GaN单片集成



p型SiC MOSFET



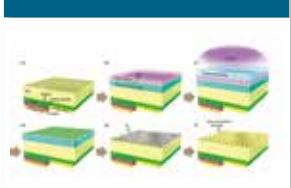
衬底问题



垂直型肖特基二极管



UV LED



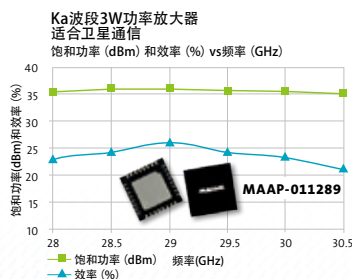
ACT



在射频、微波
和毫米波IC领域值得信赖

MACOM提供领先的从直流到100 GHz MMICs
高性能产品组合

60多年来, MACOM设计和应用专家始终致力于推动射频、微波和毫米波领域的创新。我们的工程师正努力提供新一代高性能宽带MMIC, 适合于测试测量、卫星通信、航空航天与国防、有线宽带以及工业、科学和医疗等应用。



我们的27款全新MMIC产品可提供最佳性能、带宽、封装和可靠性, 从而满足最苛刻的要求。新产品包括:

- 宽带放大器和混频器
- 单偏置LNA和放大器
- 宽带VCO
- 大功率卫星通信功率放大器
- V、E和W波段产品
- 毫米波开关
- 宽带检波器
- 75欧姆宽带放大器

MACOM
Partners from RF to Light

要了解更多信息和获取数据手册, 请访问:
www.macom.cn.com/mmics

AIXTRON

Our technology. Your future.

您认为,

全球大趋势需要

性能最佳的三五族化合物材料.

我们也这样认为.

AIX 2800G4-TM

三维传感
增强现实
自动驾驶
云计算
物联网/5G
下一代显示设备



发现AIX 2800G4-TM.

实现砷磷基材料下一
代应用的创纪录设备.



使用市场顶尖的技术
实现行业内最佳良率
和最高生产力.



化合物半导体



·CHINA

《化合物半导体》中国版（CSC）于 2005 年创刊，是全球最重要和最权威的杂志 Compound Semiconductor 的“姐妹”杂志。

《化合物半导体》中国版旨在通过对于全球化合物半导体工业的深度分析、实时信息报道和评论，扩展中国地区读者的专业焦点和全球视野。《化合物半导体》中国版以简体中文按季度出版。编辑内容由 Compound Semiconductor 的专业记者提供，他们具有研究背景，其技术文章和专栏文章得到来自化合物半导体协会主要成员公司的认可。全球电子业领先的独立市场研究咨询机构 IHS IMS Research 也在杂志开设定期栏目。

除了 10,000 名经过审查认证的合格读者，我们亦会在各个地区重要业界活动中免费派发杂志，对于希望在中国市场加强影响的化合物半导体公司，《化合物半导体》中国版是最有效的平台和目标媒体。

免费索阅



封面故事 Cover Story

- 10 异质结PIN二极管MMIC RF开关**
Heterojunction PIN Diode MMIC RF Switches
- James J. Brogle, 高级主任工程师, MACOM多应用市场事业部

业界动态 Industry

- 04 设立 SiC 标准**
Setting the SiC standard
- 06 为 GaN 器件批量生产亮起绿灯**
Green Light For GaN Devices
- 08 深紫外光 LED瞄准杀菌消毒应用**
Ultraviolet LEDs take aim at disinfection

技术Technology

- 16 GaN的单片集成**
The monolithic integration of GaN
- 27 首次亮相: p型SiC MOSFET**
Making a debut: The p-type SiC MOSFET
- Junjie An, Masaki Namai, Mikiko Tanabe, Dai Okamoto等, 筑波大学
- 30 GaN HEMT: 衬底难题**
GaN HEMTs: The substrate conundrum
- Mohammed Alomari, 斯图加特微电子学院 (IMS CHIPS)

科技前沿 Research Review

- 34 完善 GaN 肖特基势垒二极管**
Perfecting the GaN Schottky barrier diode
- 35 UV LED 功率的提升**
A hike in UV LED power
- 03 编者话Editorial**
- 36 广告索引Advertisement Index**

关于《化合物半导体》

《化合物半导体》中国版(CSC)是全球最重要和最权威的杂志Compound Semiconductor的“姐妹”杂志,亦是唯一专注于化合物半导体产业的权威杂志,重点介绍国外先进技术和产业化经验,促进国内产业发展,为国内读者提供化合物半导体行业的专业知识。内容涵盖晶体的特性研究,器件结构的设计,生产中用到的材料、设备、软件、测量、厂房设施,以及有关市场分析和动态。

About Compound Semiconductor China

Compound Semiconductor China (CSC) is the 'sister' title to Compound Semiconductor - the world's most respected and authoritative publication. It is also the unique and authoritative publication dedicated to the Compound Semiconductor industry in China, introduce advanced global technology information and manufacturing experience, support the growth of the industry in the China market. Our content covers the technology development of crystal characteristic, design of IC structure, and materials, equipment, software, metrology, facilities for manufacturing, as well as market analysis & trends.

关于雅时国际商讯 (ACT International)

雅时国际商讯 (ACT International) 成立于1998年,为高速增长的中国市场中广大高技术行业服务。ACT通过它的一系列产品包括杂志和网上出版物、培训、会议和活动,为跨国公司及中国企业架设了拓展中国市场的桥梁。ACT的产品包括多种技术杂志和相关的网站,以及各种技术会议,服务于机器视觉设计、电子制造、激光/光电子、射频/微波、化合物半导体、洁净及污染控制、电磁兼容等领域的约十多万专业读者。ACT亦是若干世界领先技术出版社及展会的销售代表。ACT总部在香港,在北京、上海、深圳和武汉设有联络处。www.actintl.com.hk

About ACT International Media Group

ACT International, established 1998, serves a wide range of high technology sectors in the high-growth China market. Through its range of products -- including magazines and online publishing, training, conferences and events -- ACT delivers proven access to the China market for international marketing companies and local enterprises. ACT's portfolio includes multiple technical magazine titles and related websites plus a range of conferences serving more than 100,000 professional readers in fields of electronic manufacturing, vision system design, laser/photronics, RF/microwave, cleanroom and contamination control, compound semiconductor, and Electromagnetic Compatibility. ACT International is also the sales representative for a number of world leading technical publishers and event organizers. ACT is headquartered in Hong Kong and operates liaison offices in Beijing, Shanghai, Shenzhen and Wuhan. www.actintl.com.hk



扫一扫
免费下载电子书

社长 Publisher

麦协林 Adonis Mak
adonism@actintl.com.hk

主编 Editor in Chief

赵雪芹 Sunnie Zhao
sunniez@actintl.com.hk

出版社 Publishing House

雅时国际资讯 ACT International
香港九龙 B,13/F, Por Yen Bldg,
长沙湾青山道478号 478 Castle Peak Road,
百欣大厦 Cheung Sha Wan,
13楼B室 Kowloon, Hong Kong
Tel: (852) 2838 6298
Fax: (852) 2838 2766

北京 Beijing

Tel/Fax: 86 10 64187252

上海 Shanghai

Tel: 86 21 62511200

Fax: 86 21 52410030

深圳 Shenzhen

Tel: 86 755 25988571

Fax: 86 755 25988567

武汉 Wuhan

Tel: 86 27 59233884

UK Office

Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,
Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970



中国打破 MOCVD 设备国外垄断

MOCVD (金属有机化合物气相沉积) 设备是 LED 芯片外延生长的关键设备, 是 LED 产业的核心装备。长期以来, MOCVD 设备的制造技术一直掌握在德国、美国、日本的几家公司手中, 并对中国采取严格的技术封锁。德国 Aixtron 和美国的 Veeco 两家公司雄霸 MOCVD 设备市场, 拥有超过 90% 的市场份额。过去我国所有 LED 生产用的 MOCVD 设备全部依赖进口, LED 产业的核心环节严重受制于人。

现在这种情况正在发生根本性转变, 中国开始打破 Veeco-Aixtron 对 MOCVD 设备的垄断。

中微半导体设备公司 (AMEC) 经过多年的自主研发和不懈努力, 终于实现了 MOCVD 设备的国产化, 打破了国外的垄断。中微开发的第二代超大型的 MOCVD 设备凭借部分比国外设备更先进的设计和更周到的客户服务, 于最近一年来成为国内市场上的主流产品, 赢得大量本土客户。

IHS Markit 分析师 Jamie Fox 报告说: 在 2016 年, AMEC 还只是一家小公司, 与两家巨头相比其发货量非常小, 但是现在其发货量已经赶上了 Veeco。虽然 2017 年全年 Veeco 的发货量仍然居前, 但是下半年 AMEC 已经赶上甚至超过了它。自 2016 年产品上市以来, 到 2017 年底, AMEC 总发货已经达到 120 套。除此之外, 更加重要的是, MOCVD 设备急剧增长的需求仅仅是在中国市场, 其他地方几乎没有增长。未来几年情况也差不多, 中国之外的市场将维持在非常低的水平。因此, MOCVD 竞争的重点自然是中国市场。

AMEC 要跻身竞争激烈的 MOCVD 市场, 挑战 Veeco 和 Aixtron 的长期统治地位, 自然不会一帆风顺。

首先, AMEC 遭遇了与 Veeco 的专利纷争。2017 年 4 月, Veeco 对德国 SGL Group 提起了专利诉讼, 指其侵犯了应用在 MOCVD 中的相关芯片托盘技术。控诉 SGL 制造并销售某些芯片托盘给 Veeco 的竞争对手 AMEC, 因而侵犯了 Veeco 的专利权。2017 年 11 月, 纽约东区联邦地区法院同意 Veeco 的初步禁令动议, 禁止 SGL 出货未经 Veeco 授权而使用其专利技术生产的芯片托盘。此举可能会影响 SGL 对 AMEC 的部件发货, 最终对其产生不利影响。

2017 年 7 月, AMEC 在中国对 Veeco 上海公司提起专利侵权, 指其 MOCVD 系统侵犯了 AMEC 一项中国实用新型专利, 该专利是关于化学气相沉积反应器中的同步运动接合机制, 诉讼寻求禁令救济和经济赔偿。2017 年 12 月, 中国福建高等法院裁定, 禁止 Veeco 上海进口、制造、向任何第三方销售或许诺销售侵犯 AMEC 专利的任何化学气相沉积装置和用于该装置的基片托盘。

双方你来我往, 各有胜负。不过, 在专利纠纷过程中, AMEC 公布了亮丽的销售业绩, 而且中国最大的 LED 制造公司——三安光电公开称赞 AMEC 的先进设备和快速优质的支持服务。

那么, Aixtron 对于 AMEC 的竞争又是如何反应的呢? 据报道, 除了 GaN LED 设备之外, Aixtron 正在加大力度生产用于不同材料的 MOCVD 设备, 包括功率半导体和 AlInGaP LED 设备。也许 Aixtron 开始接受: 因为来自中国的竞争, 它可能不得不退出这个特定的市场。

AMEC 董事长兼 CEO 尹志尧博士表示: 中微公司是一家创新性公司, 专长于为客户提供突破性的技术, 从而提升我们客户的竞争优势。中微的产品因其独特的创新性和价值在市场上获得成功。我们更愿意集中精力在创新产品的研发和为客户提供优质服务上, 而不是浪费时间和资源在法律诉讼上。因此, 我们完全愿意和 Veeco 达成有利于双方的解决方案并努力实现这一目标。

赵雪芹

设立 SiC 标准

随着目前最先进 SiC 生产线的建成投产，而且封装设备不久即将投入使用，纽约电力电子制造业联盟（New York Power Electronics Manufacturing Consortium）准备提供下一代功率器件。——Rebecca Pool 报道

在纽约州立大学理工学院（SUNY Poly, the State University of New York Polytechnic Institute）领导下的纽约电力电子制造业联盟（NY-PEMC）最近在其位于 SUNY Poly 纽约奥尔巴尼（Albany）园区的 SiC 工艺流水线上生产了图案化晶圆，这是功率 MOSFET 鉴定方面的一项突破。

正如 SUNY Poly 副校长 Jeffrey Hedrick 告诉《化合物半导体》杂志的那样：“这意味着我们开始运作了，我们的设备进入了正常运行状态，而且我们的工程师和科学家们目前正在努力地工作以制造这些先进器件。”

这一切始于 2014 年，当时通用电气公司（GE）与 SUNY Poly 合作，共同建设一条用于碳化硅 MOSFET 和二极管的最先进 150 mm 工艺生产线。

GE 与 SUNY Poly 组成纽约电力电子制造业联盟（NY-PEMC），GE 在知识产权方面提供了超过 1 亿美元的投资，该联盟的总投资额（包括纽约州所给予的资金支持）则达到了 5 亿美元。

2015 年，纽约州投入的资金另增加 1 亿美元，GE 和 SUNY Poly 透露了在位于 SUNY Poly 的尤蒂卡（Utica）园区的计算机芯片商业化中心（Quad-C）建立一家功率电子器件封装工厂的计划。

随着丹麦电源模块制造商 Danfoss Silicon Power 最近加入 GE 和 SUNY Poly 的联盟，开始在这里开展 SiC 电源模块封装业务，看起来 NY-PEMC 肯定会成为北美地区的“碳化硅走廊”。

作为 NY-PEMC 晶圆制造和封装分部的领导者，Hedrick 当然这么认为。他强调该制造业联盟将如何帮助提供大量急需的工作岗位，并重振

纽约州北部地区的经济。

GE 将负责制造尖端 SiC 芯片，由 Danfoss 随后对芯片进行装配和封装以集成到系统中。预计制造产能将超过 15,000 片晶圆 / 年，而且，由于 Danfoss 是在新兴美国市场上被指定运营的仅有的本土量产封装中心，因此 NY-PEMC 的前景是光明的。

Hedrick 说：“GE 和 Danfoss 是我们的核心成员，我们期待在不久的将来会新增加其他重要的合作伙伴。”

“我们有能力轻松达到一年 15,000 片晶圆的产量，这种生产水平对于今后三年来说是绰绰有余了，而且我们具备扩展产能的能力，当市场需求量攀升时可以把这个数字增加到每年 50,000 片晶圆。”

最新发展

在最近几个月里，NY-PEMC 晶圆制造分部的活动已集中在将其基线工序流程扩大到制造准备就绪。该工序流程包括在位于纽约尼什卡纳（Niskayuna）的 GE 全球研发中心开发的工艺技术。就像 Hedrick 指出的那样：“GE 一直不断地与我们合作，以把相关技术从其研发中心转移到我们位于 Albany 的 SiC 工艺流水线。”

眼下，晶圆制造设备处于其在符合 SiC 专用 Class-1 标准的洁净室中进行的 ISO 9001 标准认证的最后阶段。所有的设备，包括光刻、反应离子蚀刻、金属化、计量、测量、在线电气测试等，均已接近安装完毕。而且，该联盟的工程师团队打算在今年年底之前请相关机构按照汽车



AEC-Q101 可靠性规范对工艺流程进行验证和鉴定。

Hedrick 解释说：“现在我们专注于工艺设置和验证。但是，我们很快就将能够制造具有无可比拟的可靠性的合格 MOSFET 器件。”

的确，到 2018 年，1.2 kV MOSFET 制造将进展顺利，而这仅仅是一个开始。Hedrick 和同事们打算在这之后不久提供 1.7 kV MOSFET，接着到 2020 年提供更高电压的器件和集成电路。

此外，安装在 SiC 工艺流水线上的设备是由顶级制造商提供的可加工 200 mm 晶圆的设备，而且如 Hedrick 指出的那样，这些设备已经被“分块”（chunked down）以支持 150 mm 晶圆的加工。

Hedrick 强调说：“业界目前正在向 150 mm 衬底过渡，并将最终过渡到 200 mm 衬底。从现在起几年之后，当 200 mm 衬底在技术上和经济上可行时，我们将能够以低成本统筹安排我们的设备。”他补充道：“当市场行情走高时，我们将做好相应的准备。”

与此同时，位于 Utica 的 Quad-C 的封装中心所开展的相关活动也进展的相当顺利。这块场地将容纳面向工业、交通运输和汽车应用的制造生产线，而其他的生产线则将专供研发以及新型模块和电源部件（power blocks）的原型设计之用。

Hedrick 说：“为了给 Danfoss 安排好封装设备，我们制定了非常大胆紧迫的进度表，而且我们眼下正在订购许多定制设备。”他补充道：“这些设

备最多可提前 8 个月订货，其中的很多在今年年底之前即可到货。我们会尽快地开始安装这些设备，并在 2018 年完成前三条生产线的鉴定。”

那么，在接下来的几年里所有的系统都将准备就绪，对于 NY-PEMC 来说更长期的目标是什么呢？

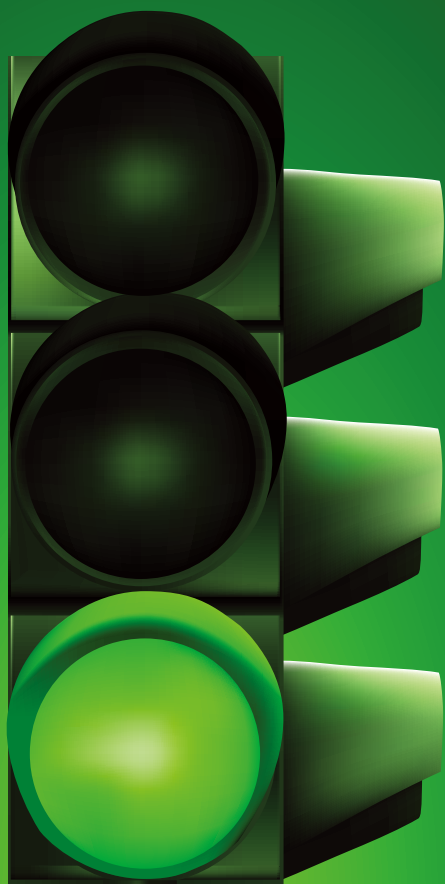
Hedrick 说：希望继续扩展他在 NY-PEMC 内部描述为功率电子器件生态系统的产业环境。

他说：“目前我正在寻找更多的资金以创建一个针对功率电子器件和系统的设计中心。另外，我们也非常愿意与那些希望把 SiC 衬底和外延片生产能力带到纽约的企业进行合作。我们将继续发展这条贯穿纽约的高科技走廊，而且我预料很多消费品和设备供应商不久就将加入我们。”

为 GaN 器件 批量生产亮起绿灯

在推出采用 200 mm CMOS 工艺的硅基 GaN 器件之后，Exagan 和 X-Fab 准备将其投入批量生产，将在一家 CMOS 晶圆厂生产硅基 GaN 器件。

-Rebecca Pool 报道。



业界合作伙伴 X-Fab 和 Exagan 采用 200 mm CMOS 工艺生产了硅基 GaN 晶体管，实为硅基 GaN 器件市场上的一次突破。

先是在 Exagan 位于法国格勒诺布尔的 200 mm 外延制造工厂进行了基片制作，随后在 X-Fab 设在德国德累斯顿的 CMOS 代工厂实施了器件加工处理，目前则开始为首批客户提供 650 V G-FET 原型。

至关重要的是，旨在提升产量的计划已逐步铺开，而且大批量生产也早就在两家公司关注的视野当中。

Exagan 总裁兼首席执行官 Frédéric Dupont 强调指出：“我们率先转让了技术，并采用标准硅生产设备和工序在一家 CMOS 晶圆厂以优质制造水平在 200 mm 晶圆上生产了硅基 GaN 器件。重要的是，我们已经在最具竞争力的晶圆尺寸上确立了自己的技术和产品；并利用了成熟的 200 mm CMOS 工艺和高生产率的制造环境。”

他补充道：“一旦我们的产品在市场上获得确认，我们将能够与 X-Fab 合作非常迅速地提高产能。”

Exagan 的硅基 GaN 技术自上世纪 90 年代后期以来一直在开发之中。

当在硅基片上生长 GaN 薄膜时，由于硅和 GaN 的导热系数不同，因而会引发材料应力并最终产生裂缝。为了尽力解决这个问题，法国异质外延研究中心 CNRS-CRHEA 的研究人员花费了 10 多年的时间。

但是到了 2003 年，法国的宽带隙半导体公司 Picogiga 开发了一种用于在硅基片上生长厚的高质量 GaN 层的 GaN 缓冲层，并获得了专利授权。这家公司之后被同样来自法国的半导体材料制造商 Soitec 收购。

2012 年，Soitec 与法国的电子研究机构 CEA-Leti 联手合作，开发了一种适用于 650 V 功率开关器件的 200 mm CMOS 兼容型 GaN FET 工艺，并随后把此项技术转让给了 Exagan 以实现商品化。

与 X-Fab 的合作始于 2015 年，而短短两年时间就攻克了多个阻滞 200 mm CMOS 工艺取得成功的障碍。

Dupont 说，重要的是，Exagan 已开发出其所谓的 G-Stack 材料技术，该技术基于 CNRS-CRHEA 缓冲层，并包括 GaN 绝缘层和应变管理层。这些层可释放 GaN 结晶应力，改善结晶质量，并形成无裂缝的高平面度晶圆以用于 CMOS 造。

他说：“直径越大，想获得非常平整的晶圆就越困难，而且管控裂缝和弯曲一直是巨大的挑战。但是 G-Stack 解决了这个难题，我们能够制造完全符合 CMOS 工艺要求的晶圆。”

的确，正如 Dupont 的同事、X-Fab 首席技术官 Jens Kosch 指出的那样，附加的缓冲层常常需要增加晶圆厚度，并有可能给 CMOS 生产带来问题。

按照他的话说：“在保持可接受的硅晶圆厚度的同时获得适合 CMOS 工艺的必要晶圆弯曲，这是一项真正的挑战，不过我们做到了这一点并解决了设备兼容性问题。”

硅基 GaN 制造工艺遵守标准 CMOS 工艺严格的污染规则。Dupont 说：“我们还为自己的 8 寸工艺采用了全自动化的外延设备（包括自动化晶圆处理），以避免任何接触和晶圆污染。”

至关重要的是，支持硅基 GaN 器件制造不需要某一额外的工序或工具。Kosch 强调指出：“我们确实希望与 CMOS 生产线完全兼容，而没有专用工具的额外工序。从第一天起，我们的共同目标就是避免追加资本支出，而我们现在使用了一



Exagan 公司联合创始人，总裁兼首席执行官 Frédéric Dupont (右) 和 X-Fab 首席技术官 Jens Kosch。

条标准的 CMOS 制造生产线，并为了这种新型 GaN 材料以批量生产的水平运转。”

眼下，Exagan 已开始向其首批客户提供 650V G-FET 样品。据描述，这些器件具有高的击穿电压、低的垂直泄漏和高的工作温度，不过 Dupont 表示：器件的具体性能指标还不能透露。

另外，Exagan 还一直在与德国的认证服务机构 TÜV Nord 开展合作，以通过旨在满足汽车和航空航天行业标准的产品资质鉴定。

对于 Exagan 的 650 V G-FET 来说，电动汽车充电将是最初的目标应用之一；这是一个不断成长的市场，受到了诸如 Fujitsu、Infineon 以及其他 SiC 和 GaN 供应商等公司的重点考察。

Dupont 断言：“致力于 GaN 研究的公司虽然有很多，但是我们的技术和商业模型是独特的；我们控制着从外延到系统级的整个工艺流程。”

他补充说：“关键在于，我们与 X-Fab 的合作伙伴关系使我们拥有了很快达到批量生产水平的产能，并可提供极具成本竞争力的器件。我相信，不久业界就将承认我们是 GaN 市场的「加速器」。”

深紫外光 LED 瞄准杀菌消毒应用

随着欧司朗光电半导体公司在深紫外光 LED (UV LED) 领域投入资源的增多, 此类器件是不是正在接近商品化? —Rebecca Pool 问道。

虽然长波长紫外光 LED 已经在全球范围内迅速渗透到固化应用领域, 但是专为杀菌消毒设计的较短波长深紫外光 UV LED 则出现了停顿和下跌的态势。

在 315nm 至 400 nm 波长范围内发光的 UV-A LED 是通过在蓝宝石衬底上生长基于 InGaN 的外延层来制造的, 借助的是在可见光 LED 市场上使用的非常成熟的 MOCVD 方法。但是, 深紫外光 LED 则与此不同。

这些 UV-C LED 的发光波长范围为 200 nm 至 280nm, 它们中的许多是由在蓝宝石晶圆上生长的 AlN 层组成的, 与应变有关的外延附生问题接踵而来, 因而妨碍了制造进程。但是, 变革已经开始。

由于 UV LED 市场已形成发展势头, 因此诸如德国的 CrystAL-N 以及都是来自美国的 Crystal IS 和 Hexatech 等 AlN 衬底制造商很快确定: 原生的晶格匹配型晶圆将会采用这种现成的蓝宝石衬底的竞争方案。而且, 器件制造商对此表示出了极大的兴趣。

今年早些时候, 德国欧司朗光电半导体 (Osram Opto Semiconductors) 公司与美国 Hexatech 公司签署了一项长期许可协议, 旨在加快基于 HexaTech 的材料 UV-C LED 器件开发。就在不久前, 这家 LED 制造商透露自己正在领导一个名为 UNIQUE 的项目, 以开发用于工业杀菌消毒流程的高功率 AlN 基 AlGaIn UV LED, 并实现其商品化。

Osram Opto 得到了巴伐利亚州经济事务、媒体、能源及技术部的支持, 吸收了 5 家德国合作伙伴的加盟, 并将建立必要的供应链以生产此类 LED。Osram Opto 已经在其位于雷根斯堡的厂区部署了很多必要的工序, 这得益于该公司在那里进行了可见光 LED 和激光器的批量生产, 不过,

UNIQUE 这个项目提供的技术和产品将会多得多。

Aprotec 公司准备制造长晶炉, 而弗劳恩霍夫集成系统和器件技术研究所将负责协调 AlN 晶体生长工艺流程。

Osram Opto 自身将开发 UVC LED 芯片及相关的外延生长和加工处理, Schott 公司将开发迫切需要的真空气密型封装, 而 UV LED 系统开发商 Dr Hönle AG 则把 LED 模块集成到杀菌消毒系统中。

如 Osram Opto 公司 UV-LED 研发部负责人 Hans-Juergen Lugauer 所宣称: “从 AlN 衬底生产和芯片制造到封装以及为终端用户提供最终成品, 我们将在巴伐利亚州为深紫外光 LED 及其相关产品建立必要的完整产业价值链。”

Lugauer 预计, 当项目结束时, AlN 晶圆将不能为批量生产提供所需的数量, 不过如他所述: “与 Hexatech 签署协议是一个独立的步骤, 旨在确保能够尽可能快地获得高质量的 AlN 晶圆。”

晶圆面临两难的衬底选择

现今, Osram Opto 为 UV LED 外延生长和芯片开发采用的是两英寸蓝宝石晶圆, 并提供了一个 AlN 缓冲层以释放晶格应力。然而, 该公司的研究人员已经忙于进行在 AlN 衬底上生长外延的试验, 而且相关工作将作为 UNIQUE 项目的一部分继续下去。

Lugauer 强调说: “我们已经并行地展开了外延试验, 以做好准备当它们可大量供货时把所有工艺流程转移到 2 英寸晶圆。”

作为其工作的一部分, Osram Opto 正采用 MOCVD 工艺制造用于深紫外光 LED 的 AlGaIn 薄膜。正如 Lugauer 指出的那样, AlN/ 蓝宝石模板上的位错密度目前在 $10^9/\text{cm}^2$ 左右, 但是对于 AlN

衬底上的结构而言则降低至低于 $10^4/\text{cm}^2$ 。

Lugauer 说：“现在尚不清楚 AlN/蓝宝石模板上的位错密度是否低到足以实现高电流密度杀菌消毒应用所需的高效率和可靠性。”

而且，如这位 UV-LED 研发项目负责人所指，基于 AlGaN 的结构对于缺陷和位错是非常敏感的。诸如气体检测等波长更短的应用究竟还能不能使用蓝宝石衬底呢？对此他表示怀疑。

他补充道：“AlN 衬底可提供非常低的位错密度，这一点对于器件效率和寿命应该具有积极的作用，并为我们提供 Osram Opto 因而广为人知的高性能、高质量器件。”

另外，Lugauer 还着重说明了采用具有 AlGaN 层的原生 AlN 衬底是如何降低热感应应力和外延生长之后的晶圆弯曲的。他说：“在我们的芯片加工生产线上，采用蓝宝石衬底的深紫外光 LED 的大幅弯曲有时会完全阻止自动化晶圆传送，但是 [采用 AlN 晶圆]

Osram Opto 目前为 UV LED 外延生长和芯片开发采用的是两英寸蓝宝石晶圆，并提供了一个 AlN 缓冲层以释放晶格应力。然而，该公司的研究人员已经忙于进行在 AlN 衬底上生长外延的试验，而且相关工作将作为 UNIQUE 项目的一部分继续下去。

则能使晶圆传送变得容易。”

他补充说：“随着晶圆尺寸的增大，弯曲问题显著地增多，因而使得对于深紫外光 LED 加工制作来说，采用 4 英寸和 6 英寸蓝宝石衬底在目前多多少少不太可能。与此相反，一旦可提供较大的 AlN 衬底，那么相关的工艺流程即可直接转移到 [更大的] 晶圆尺寸。”

尽管如此，Lugauer 承认蓝宝石衬底的成本便宜得多，因此 Osram Opto 将紧跟上述两种衬底发展路线，直到材料的优势和局限性更加清晰为止。“到那之后我们将选定最实用的方法。也许的结果是：我们将兼用这两种衬

底，以满足不同的应用要求。”

与此同时，Lugauer 把他的目光紧紧地盯在外延生长和芯片加工工艺上。他认为，实现深紫外光 LED 经济型批量生产的关键步骤是：开发一项能制作具有高内部量子效率的 LED 的外延生长工艺，以及一项可生产具有高电流稳定性和高取光效率的器件的芯片加工工艺（以提供高于 10% 的外部量子效率）。

他说：“在我们的 UNIQUE 研究项目中，这两项工艺目前都在开发阶段，但是我们预计在 2020 年之前是达不到生产要求水平的。” OS

3D辨识和手势识别 最佳镀膜方案

www.evatecnet.com/products/clusterline-platforms/clusterline-rad

Visit us at SEMICON China: Booth 3014



瑞士EVATEC精密溅射镀膜设备CLUSTERLINE RAD® 生产符合成本效益的干涉滤光片，用于3D和手势识别传感器

- 全自动化上下片系统-支援8英寸的玻璃片并包括自动双面镀膜的翻转系统
- 业界最好的均匀性和最低微粒-使用最新的旋转靶技术并且不需修正晶片
- 最佳光学薄膜叠层精度和可重复性的原位光学监测

要了解更多信息请联系我们的总部info@evatecnet.com或联系你的区域销售和服务办公室Evatec China Ltd., Tel: +86 21 8019 7660, 邮箱: infochina@evatecnet.com

ADVANCED PACKAGING • PHOTONICS • MEMS • OPTOELECTRONICS • POWER DEVICES • WIRELESS • THE THIN FILM POWERHOUSE

www.evatecnet.com

异质结 PIN 二极管 MMIC RF 开关

自 2003 年 MACOM 公司发明了具有 AlGaAs 层的 GaAs 砷化镓 PIN 二极管、之后获得相应的专利并成功完成其研制。增加的 AlGaAs 层作为阳极和 / 或阴极，使所形成的异质结二极管有较低的正向偏置射频电阻，而没有改变反向偏置电容。通过加入 AlGaAs 层，GaAs PIN 二极管单片集成电路的电气性能和热耗散性能都被验证有显著提高，例如在单片开关芯片产品的设计实现上。

James J. Brogle, 高级主任工程师, MACOM 多应用市场事业部

和所有的工程领域一样，微波工程中很少有技术上的显著改善，而不存在一些负面的权衡。MACOM 在十多年前首次报道了 AlGaAs/GaAs 异质结 PIN 二极管。第一次采用传统上用于三端晶体管结构（例如 HBT 和 pHEMT）的带隙工程技术用于二极管（在此之前，这些二极管毫无例外都是用单晶同质结元素和化合物半导体例如 Ge, Si, SiGe, 砷化镓 (GaAs), 磷化铟 (InP) 等的半导体工艺制程），以形成具有降低的 RF 电阻 (R_s) 以及结电容 (C_j) 不变的 PIN 二极管。在现有的 GaAs PIN 二极管 MMIC 工艺中实现了这种异质结二极管，其截面如图 1 所示。

人们已经认识并证明，减小的正向电阻和不变的反向电容可以提高各种 PIN 二极管高频电路的性能，特别是在开关电路中。串联二极管将表现出降低的插入损耗和相同的隔离度特性，而并联二极管则表现出相同的插入损耗和增加的隔离

度，串联 - 并联二极管对可以证明将对两个参数都有所改进。首次报道时，单串联二极管将插入损耗降低了 27%，而没有改变隔离度，而集成的串联 - 并联单刀三掷 (SP3T) 开关将插入损耗改善了 20%。由于二极管电阻较低，1dB 压缩点 (P1dB) 和三阶互调点 (IP3) 也有改善。

结果是，Macom 公司研发出了一系列宽带单刀多掷 AlGaAs PIN 二极管开关单片芯片，相比之前对应的 GaAs 开关单片相比，功率能力提高显著。串联 - 并联，全串联和全并联设计都表现出了低插入损耗和高隔离度。在一个新型的宽带 SP3T 开关设计中，由于串联二极管的低插入损耗，使其结温降低，进而使功率能力增加了 50% (+1.8dB)，在 +25℃ 的基板温度下提高到 +26dBm。

全并联 SP2T 单片设计，该工艺结构改进已经实现了功率更高的 Ku 和 Ka 波段开关，能够在 +85℃ 的基板温度条件下具有超过连续波 10W 的功率能力。在 35GHz 时小信号的插入损耗仅为 0.78dB，在 8.4W 时仅压缩 0.14dB。29GHz，当基板温度为 +85℃ 时，输入功率为连续波 13W 的情况下热成像显示 +150℃ 的结温，在此结温下，该芯片的可靠性为大于百万小时的 MTTF 寿命。

新型结构的进一步研发实现了更高功率的全并联 Ka 波段开关设计，功率能力超过 40W；X

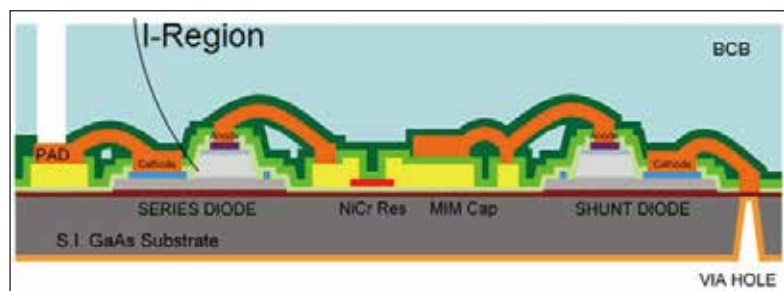


图1. MACOM PIN二极管MMIC工艺截面。

波段串联 - 并联开关设计，功率能力超过 10W；而 Ka 波段串联 - 并联开关能够达到 1W。

其他以前未公布的设计还包括超宽带全并联 6-18GHz 和 60-110GHz 开关。PIN 二极管 MMIC 移相器和限幅器的发展也正在探索之中。ADS 工艺设计工具包 (PDK) 已被完全开发并验证，并使用了 3D EM 三维电磁仿真来设计新颖的二极管和相应电路结构。

开关设计电路拓扑

开关可以设计成多种拓扑结构，所有这些都是三种主要类型的延伸：“串联”，其中串联元件（这里是二极管）是每个开关臂中的选通器件；“并联”，其中并联二极管是每个臂中的选通器件；“串-并联”，每个臂都有串联和并联二极管对。

分析 PIN 二极管在微波频率下呈现的阻抗，正向偏置下的电阻 R_s 和反向偏置下的电容 C_T ，分别得出了每个开关拓扑结构的插入损耗 (IL) 和隔离度 (ISO) 如下，这里假设串联和并联二极管的 R_s 和 C_T 是相同的。（这些是一阶近似，不包括二极管和互连寄生效应，增加多个臂对开关的影响。在实际设计中，必须考虑这些次要影响，可以利用并联二极管设计中的 1/4 波长变换，以及所有情况下的阻抗匹配）。

串联 $IL = 20 \cdot \log_{10} \left[1 + \left(\frac{R_s}{2 \cdot Z_0} \right)^2 \right]$ (1)

串联 $ISO = 10 \cdot \log_{10} \left[1 + \left(\frac{X_C}{2 \cdot Z_0} \right)^2 \right]$ (2)

并联 $IL = 10 \cdot \log_{10} \left[1 + \left(\frac{Z_0}{2 \cdot X_C} \right)^2 \right]$ (3)

并联 $ISO = 20 \cdot \log_{10} \left[1 + \left(\frac{Z_0}{2 \cdot R_s} \right)^2 \right]$ (4)

串-并联 $IL = 10 \cdot \log_{10} \left[\left(1 + \frac{R_s}{2 \cdot Z_0} \right)^2 + \left(\frac{Z_0 + R_s}{2 \cdot X_C} \right)^2 \right]$ (5)

串-并联 $ISO = 10 \cdot \log_{10} \left[\left(1 + \frac{Z_0}{2 \cdot R_s} \right)^2 + \left(\frac{X_C}{2 \cdot Z_0} \right)^2 \cdot \left(1 + \frac{Z_0}{R_s} \right)^2 \right]$ (6)

这些方程式中可以看出，在不 C_T 不发生改变（如在 AlGaAs/GaAs PIN 二极管中）的情况下， R_s 的减小都将降低串联开关的插入损耗，增加并联开关的隔离度，并且提高串联 - 并联开关的这

两个参数。串联开关的隔离度和并联开关的插入损耗不会有任何改进或退化。

表 I 显示了特定 PIN 二极管开关设计拓扑结构的相对适用性，可以用来优化各种开关参数，包括损耗、VSWR 和隔离度。在考虑设计 PIN 二极管开关芯片时，可以将这些经验法则作为出发点，但是必须使用 EM 电磁仿真和电路设计工具和模型如 HFSS、Momentum 和 ADS 等来仔细分析选定的电路拓扑。

表I. 各种PIN开关配置的相对适用性。

开关设计配置			
参数	串联二极管	并联二极管	串-并联二极管
插入损失	高频最佳	低频最佳	中等
VSWR	中等	最差	最好
隔离度	最差	中等	最好

串联 - 并联 50MHz>70GHz

许多开关采用串联 - 并联配置来进行设计，包括 SP2T，SP3T，SP4T 和 SP5T。如表 I 所示，串联 - 并联设计具有适度的插入损耗，但是有优异的隔离度特性。如图 2 所示的串 - 并联 SP2T 的隔离度和插入损耗特性绘制在图 3 中，均优于砷化镓单片，注意几乎到 80GHz 都有小于 2.0 分贝的优良插入损耗。

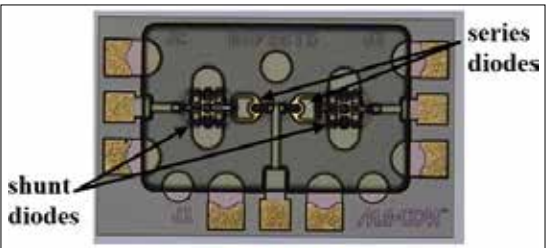


图2. 采用串联-并联配置二极管的SP2T开关。

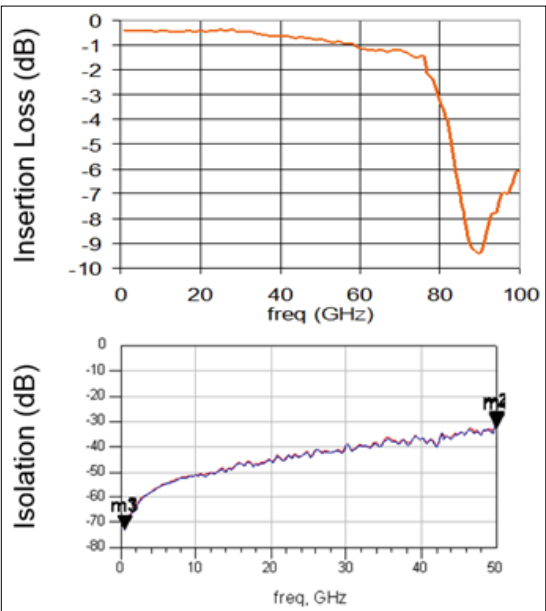


图3. 图2中 SP2T开关的宽带性能。

SP2T 到 SP5T 开关都是反射式开关,即除非开关的一个臂偏置在开启状态,否则开关将反射输入信号。另一种替代方法是在 50 欧姆负载中加入一个额外的开关臂。在这种情况下,当需要信号臂处于关断状态时,端接臂偏置在导通状态,并且所有输入功率都被 50 欧姆电阻负载吸收消耗。这种所谓非反射或吸收开关的 SP1T 例子如图 4 所示,其中有组合的负载终端和偏置电路。

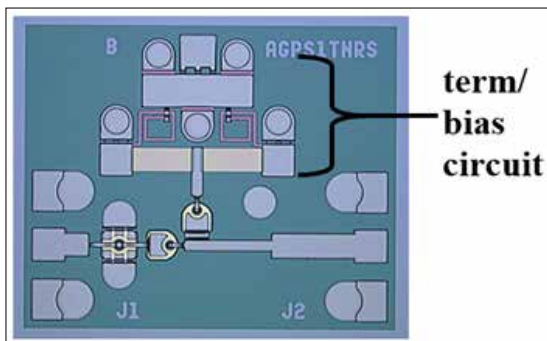


图4. 非反射SP1T开关。

全串联 50MHz->70GHz

如图 5 所示,单刀八掷 (SP8T) 开关采用全串联二极管设计。在电路内部,开关实际上是一

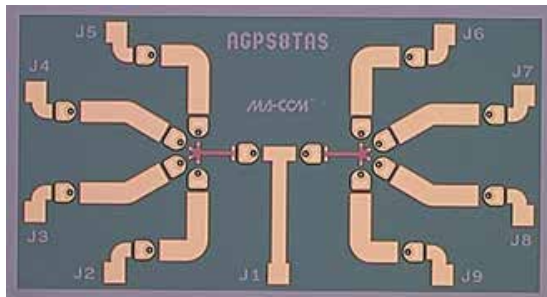


图5. 仅使用串联二极管的SP8T开关。

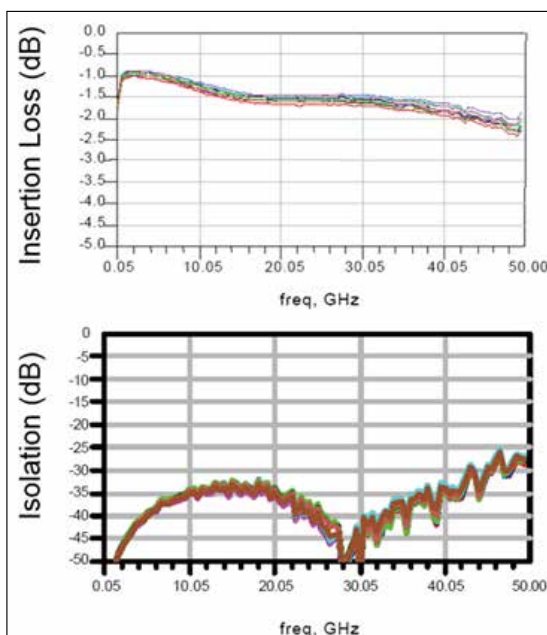


图6. 图5中SP8T开关的宽带性能。

个 SP2T 和两个 SP4T 开关的组合,该设计优化了串联开关设计的宽带相对平坦插入损耗,同时通过在开关的每个臂中将三个二极管串联在一起来改善隔离。在 40GHz 时,典型的三个二极管插入损耗 <2dB,隔离度 >30dB。宽带性能如图 6 所示。

全并联 50MHz->70GHz

如图 7 所示,为采用两个并联二极管的 SP1T 开关设计,其中有零长度的传输线和从输入到输出仅为 422um 的间距。这些特性结合在一起,提供从 50MHz 到至少 70GHz 的极高性能。在 50GHz 时,插入损耗为 0.35dB,隔离度为 46dB,

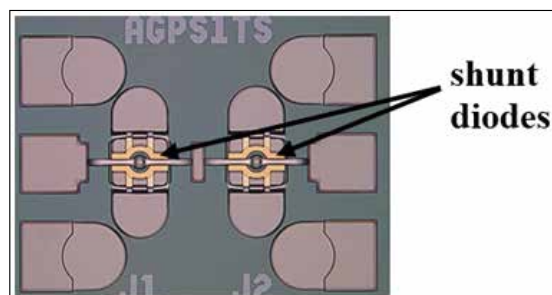


图7. 使用两个并联二极管的SP1T开关。

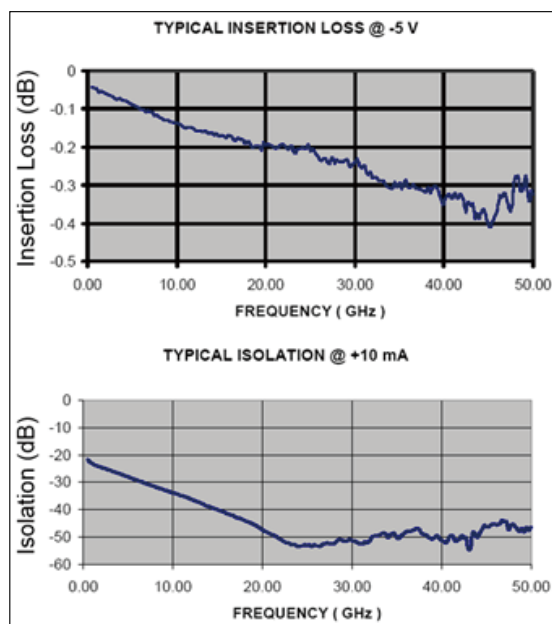


图8. 图7中SP1T开关的宽带性能。

在仅为 -5V 和 +10mA 的偏置下 (图 8)。

全并联 60GHz-110GHz

全并联 SP2T 和 SP3T 开关采用全并联架构,专为 77GHz 汽车传感应用而开发,其功能性能覆盖 60-110GHz。这些开关,如图 9 所示的 SP3T,还在卫星通信、毫米波雷达以及用于天文、国防和安防应用的 94GHz 成像应用,芯片本身集成具有高阻抗线和并联 MIM 电容的集成偏置网络。由

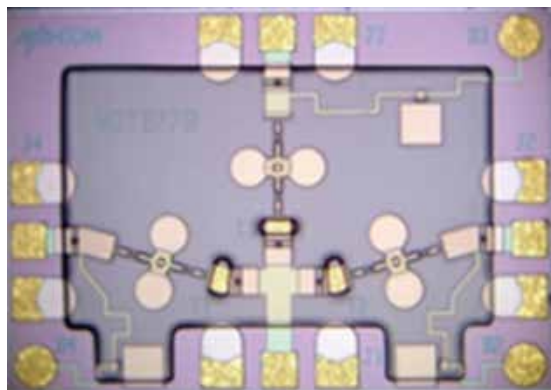
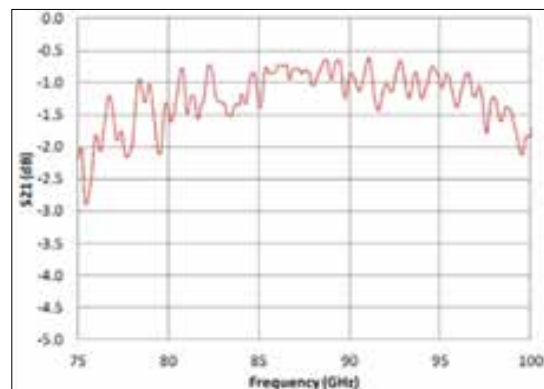


图9. 60-110GHz全并联SP3T开关。

Insertion Loss



Insertion

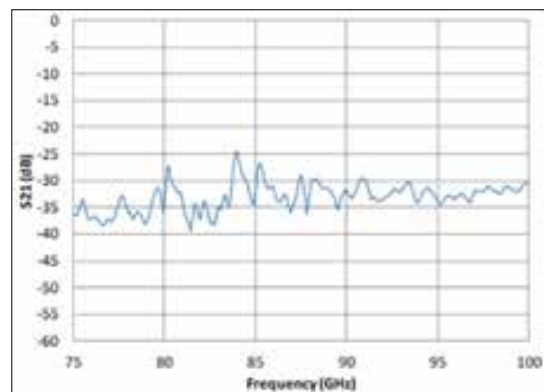


图10. 图9中开关的75-100GHz插入损耗和隔离度。

于测量装置的原因，图10所示的性能曲线仅限于75-100GHz，但是这并非开关本身的能力极限。

高功率窄带开关

全并联 Ku 和 Ka 波段

全并联 SP2T 设计在每个支路中集成单个并联二极管作为开关基本单元，另外有 1/4 波长的高阻抗和低阻抗传输线以及偏置和负载终端电路，已经开发用于 Ku 和 Ka 波段高功率雷达和卫星通信系统的应用。13W 的初始功率能力通过主要两个变化扩展到 40W 以上：1) 增加反向偏压或增加 I 区厚度；2) 减小热阻。由于雪崩击穿的

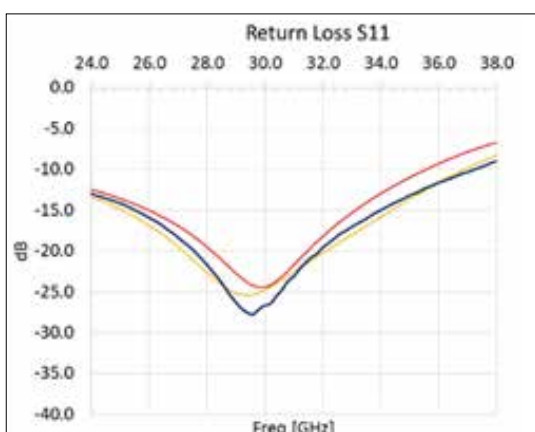
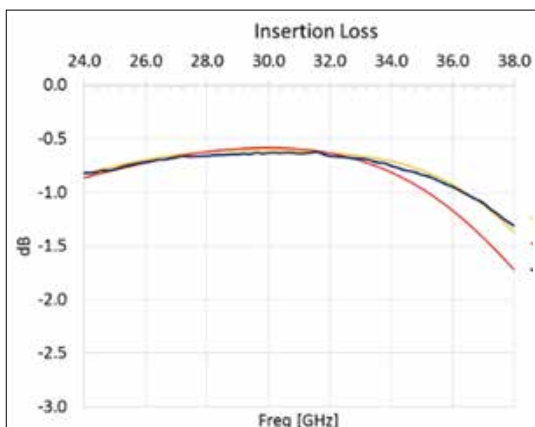


图11. Ka波段吸收式SP2T通态插入和回波损耗。

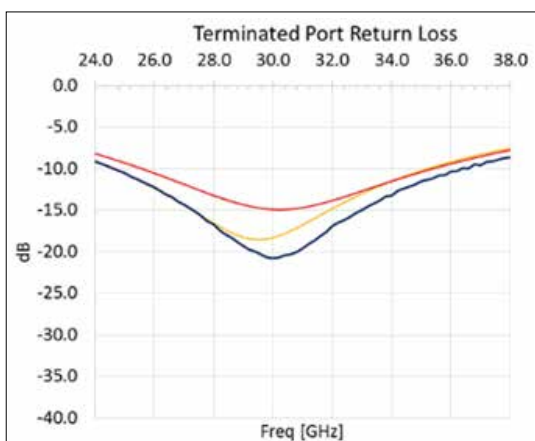
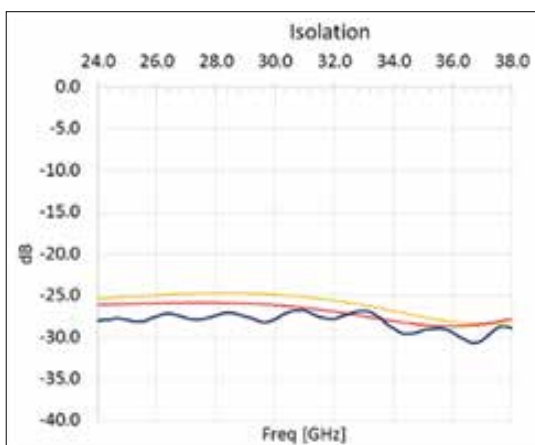


图12. Ka波段吸收式SP2T关态隔离和回波损耗。

极限，增加偏置电压有着实际的极限，因此必须采取新的方法来增加有效的 I 区厚度，而又不改变工艺并能降低二极管的热阻。

我们采用了 ADS 和 HFSS 3D EM 建模与 SYMMIC 3D 热耗散建模方法一起来重新设计二极管管结，与最初的设计相比，预测热阻最小少会降低 4 倍。

在 Ka 波段 SP2T 开关上进行 S 参数测量，并将其与图 11 和图 12 中的模拟结果进行比较。测量数据用黑色线来显示，基于工艺变化的 EM 仿真范围用红色和黄色线来显示，结果表明实测与仿真具有优异的一致性。

图 13 所示的热模型和成像显示，在 20W 输入功率下保持热接地为 +85°C 时，结温升高最小，并确认了所使用热模型的准确性。

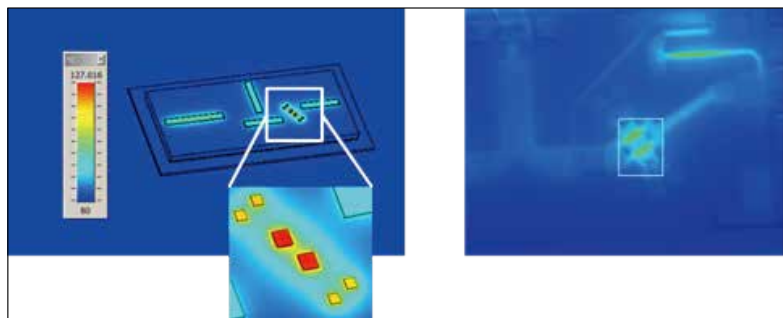


图13. Ka波段SP2T的热模型和热图像，都显示+127°C结温@43dBm/+85°C。

如图 14 所示为测试和测量以及卫星通信应用而设计的 Ku-Band SP2T，它们安装并引线键合在评估板上进行特征值刻画。图 15 显示了板上以及直接用晶圆探针进行的插入损耗和隔离度测量，显示了 5-20GHz 时与 3D EM 仿真（虚线）极佳的一致性。

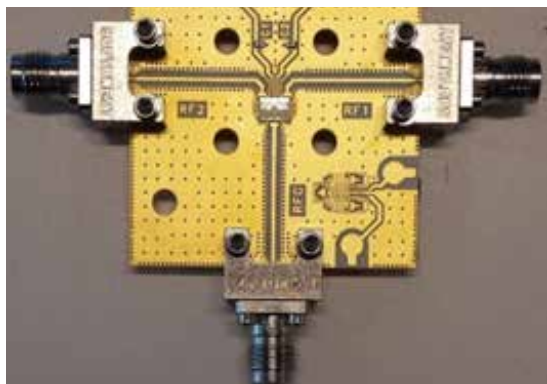


图14. 评估带有Ku波段SP2T的PCB。

串联 - 并联 X 波段和 Ka 波段

X 波段吸收式 SP1T 开关设计为 AESA 接收保护装置，其功率需要超过 10W。由于尺寸和成本的限制，选择了具有集总元件偏置电路的串联 -

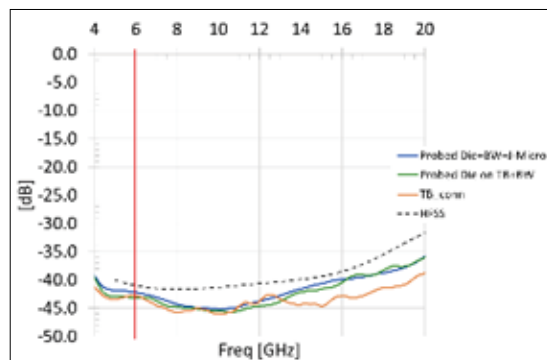
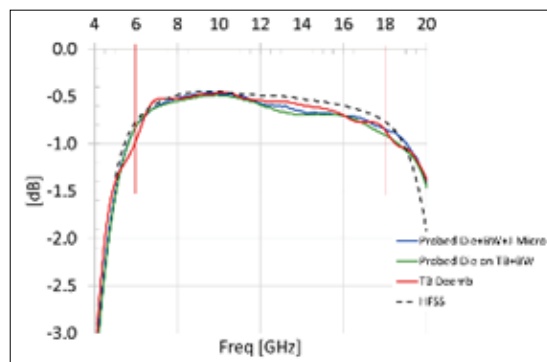


图15. Ku波段SP2T的插入损耗和隔离度

并联方法来消除对于长的 1/4 波长线（GaAs 上约 3mm）需求，并联二极管用于满足所需的隔离度要求。

在 X 波段 SP1T 开关上进行了 S 参数测量，并将其与图 16 和图 17 中的仿真结果进行了比较。

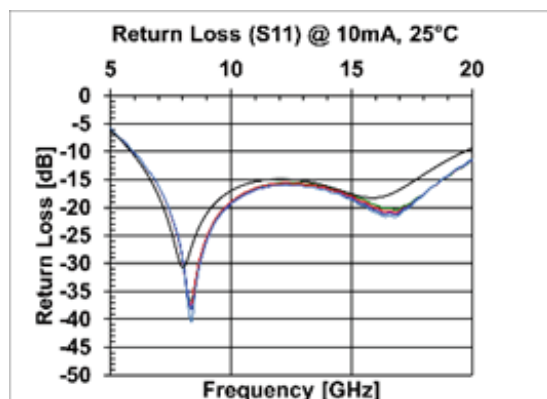
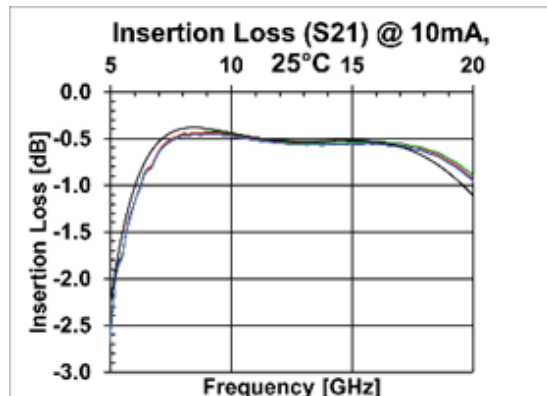


图16. X波段吸收SP1T通态插入和回波损耗。

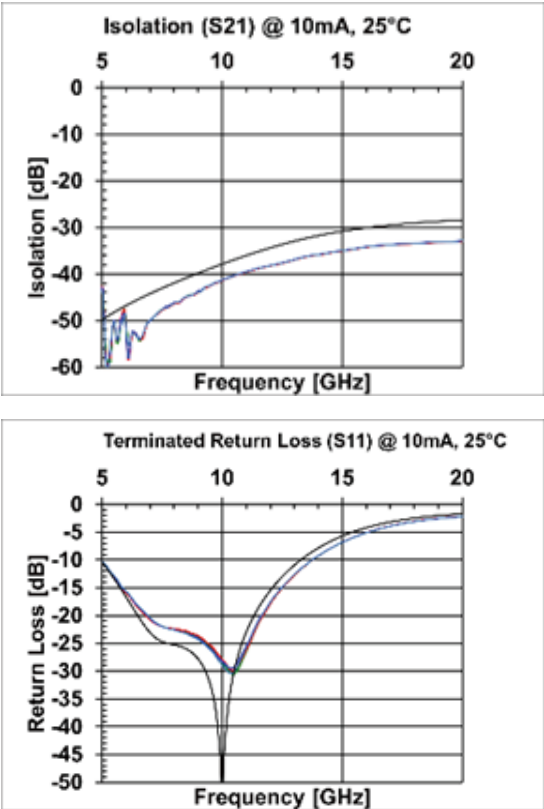


图17. X波段吸收SP1T关态隔离度和回波损耗。

EM 仿真显示为黑色，而多个器件的测量结果用彩色来显示，这些也都显示出极佳的一致性。

如图 18 所示，是 X 波段吸收式 SP1T 开关在不同输入功率下的热成像。在 +85℃ 的热接地条件下，峰值串联二极管的温度在 CW 输入功率水平为 13W 时升至 +147℃，这与热模型的预测结果完全一致。

适用于高容量通信的微波点对点通信系统的 1W Ka 波段 SP4T 开关，可以通过图 19 所示的设计得以实现。类似于 X 波段设计（包括偏置网络）的串联并联架构再次由于尺寸和成本的原因而成为选择。图 20 中的插入损耗和隔离度图显示了 15-35GHz 时的优异性能。

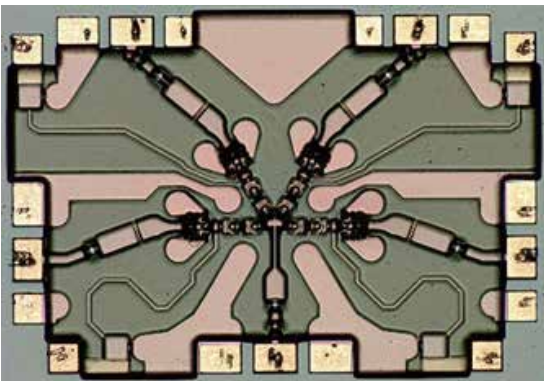


图19. 1W Ka波段串联-并联SP4T开关。

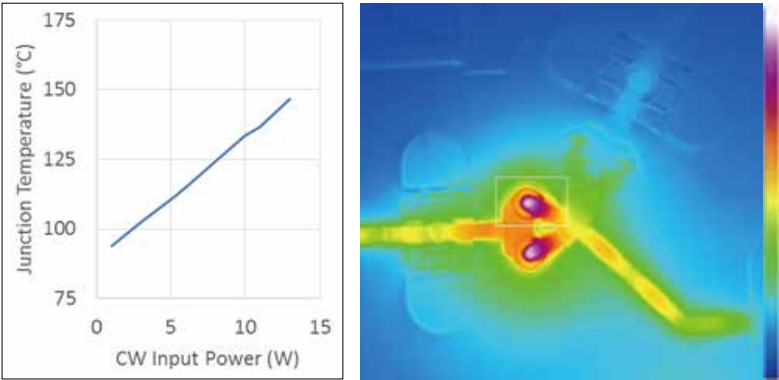


图18. 串联二极管结温与CW输入功率的关系（13W输入功率下的热像显示为147℃，色标=85-147℃）。

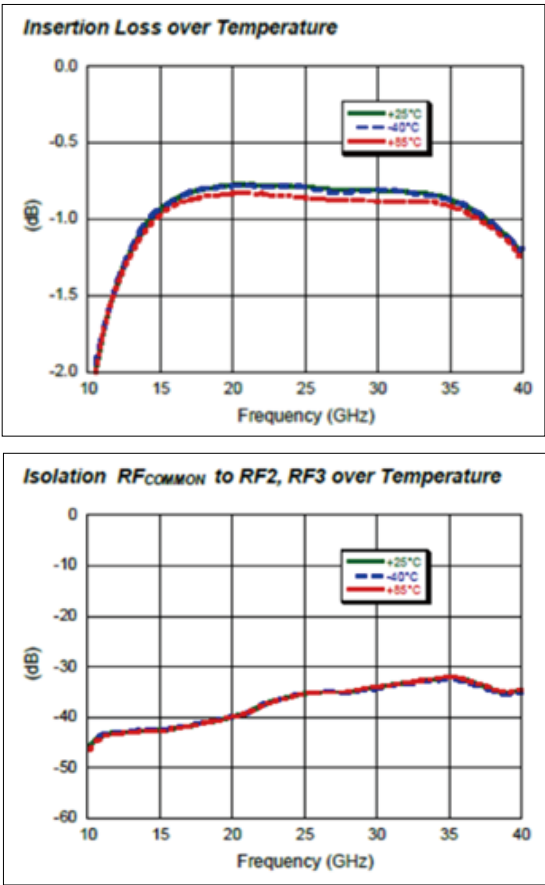


图20. 图19中SP4T的插入损耗和隔离度性能。

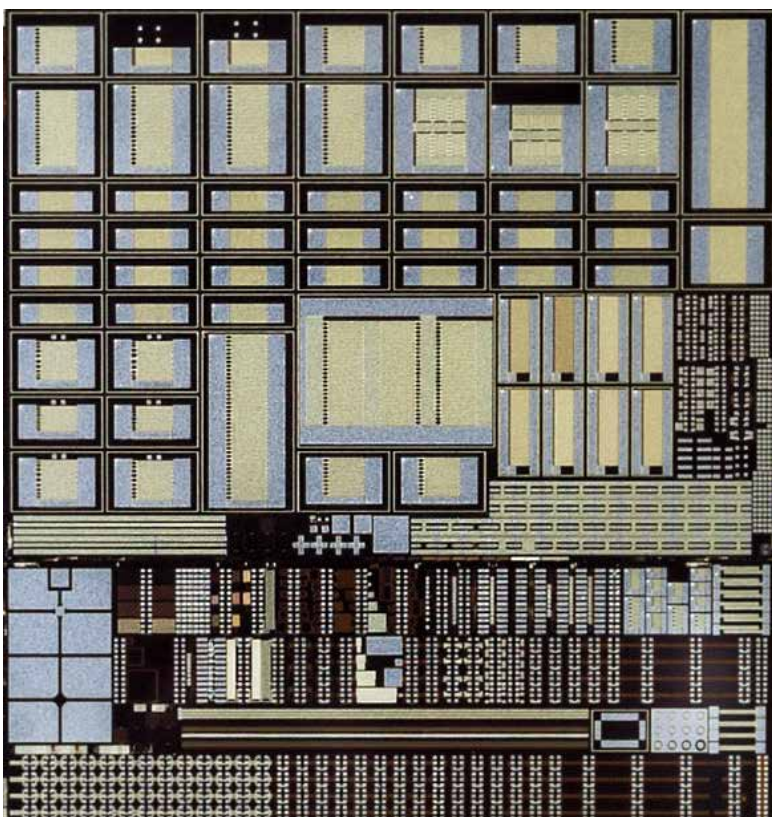
结论

MACOM 在许多宽带和 / 或高功率 MMIC RF 开关的设计中，广泛使用了我们独有专利的低 RF 阻抗异质结 PIN 二极管结构，常常在二极管和电路拓补设计中采用新颖独特的设计方法。仪器仪表、测试测量、卫星通信、雷达、94GHz 成像、接收机保护和微波点对点通信等广泛应用都受益于这一系列业界领先、技术上有相当挑战的产品在性能上的优化提升。MACOM 很高兴能够继续创新改进和提供尖端的解决方案。 

GaN 的单片集成

将沟道隔离与绝缘体上硅技术相结合，可以实现完全隔离的功率器件单片集成。

Karen Geens, Marleen van Hove 和
Stefaan Decoutere, IMEC



GaN 注定要彻底改变功率半导体行业。由于具有更高的击穿强度、更快的开关速度、更高的热导率和更低的导通电阻，因此，它势必将取代传统的硅基功率芯片。

GaN 技术的发展始于低电压 DC-DC 转换器和高压（600V）电源开关应用。正因为如此，第一代基于 GaN 的功率器件将在电池充电器、智能手机、电脑、服务器、汽车行业、照明系统和光伏发电等电源转换中发挥关键的作用。

GaN 功率器件通常不是在本征衬底上生长，这种本征 GaN 衬底价格昂贵且可用性有限。取而代之的是采用各种替代异质衬底，其中最常用的是蓝宝石、碳化硅和硅。最后一种的吸引力在于其成本，同时还有结合使用更大晶圆直径（200mm 或更大）的机会，以及通过标准半导体工艺线来进行材料加工的优势。

如今，大多数 GaN 功率系统由多个芯片组成。GaN 基组件或诸如 HEMT 等器件都是作为离散的组件进行组装，然后才在印刷电路板上进行集成。

这种方法的缺点是复杂和昂贵。更好的选择是单片集成 GaN 功率器件，因为这可以得到成本

更低、更简单的系统。另外，单片集成有助于更好地控制寄生电容和电感，并具有出色的功率转换效率。

一个典型的可以从单片集成中受益的转换器拓扑结构例子是半桥，这也是当今电力电子中最常用的开关电路拓扑结构之一。半桥由低端的开关（源极处于低电位）和高端的开关（源极处于高电位）组成。这一对开关在电路中进行连接，并在工作期间以互补的方式打开和关闭。因此，开关间必须有不同的偏置，而这这就要求对于高端和低端的器件进行隔离。

采用硅基 GaN（GaN-on-Silicon）实现这一点远非易事。如果采用横向隔离，则必须通过注入或台面蚀刻隔离来分隔不同的组件；如果采用纵向隔离，则通过高阻缓冲层是可能部分实现的。请注意，对于后一种拓扑结构，器件仍共享共同的导电硅衬底，因此只能同时作为单个的参考电势。

SOI 解决方案

在比利时鲁汶的 IMEC，我们正通过在绝缘

CS INTERNATIONAL CONFERENCE

10-11 APRIL 2018
Sheraton Airport Hotel Brussels

Connecting, informing and inspiring the compound semiconductor industry.

CS INTERNATIONAL 2018 CONFERENCE **SPEAKERS ANNOUNCED!**

With a record breaking number of speakers and sponsors secured, the eighth CS International Conference is set to be the biggest and best yet!



Book your place NOW!

www.cs-international.net/register to secure your place
It's set to be another sellout

Held at the Sheraton Airport Hotel in Brussels on 10 -11 April 2018, CS International will once again be the must-attend event for the global compound semiconductor community.

Highlights include talks by the leaders of power electronics pioneers Transphorm, Panasonic and VisIC; presentations on the integration of compound semiconductor and silicon technologies by NAsP III-V and the co-ordinators of two multi-partner European projects; plus a talk by Seoul Semiconductor on its pioneering efforts at chip-scale LEDs amongst many others.

Delivering over 30 presentations

CS International will provide comprehensive coverage of the global semiconductor industry exploring 5 core themes

- ◉ Wrestling market share from silicon power devices
- ◉ Finding solutions with heterogeneous integration
- ◉ 5G: Where are we and what's next?
- ◉ LEDs: Magnifying margins
- ◉ Ramping revenues from RF devices

For each theme a keynote presentation and market analyst talk will be given by the leading decision makers and influencers within the industry.

This two day event covers five themes

Speakers announced to date

Wrestling Market Share from Silicon Power Devices

What are the next opportunities for SiC? And how can GaN gain significant traction in the market place?

ANALYST

- **Richard Eden: IHS Markit** The SiC & GaN power semiconductor market: Forecasts and drivers

SPEAKERS

- **Felix Grawert: AIXTRON**
Accelerated adoption of wide bandgap devices in automotive applications
- **Philip Zuk: Transphorm** Shifting gears: The “GaN-ification” of automobiles
- **Peter Friedrichs: Infineon** Exploiting the merits of GaN and SiC
- **Hiroyuki Handa: Panasonic** Trimming the losses in GaN GITs
- **Tamara Baksht: VisIC Technologies**
High efficiency at high power density: realisation of GaN’s promise for power electronics
- **Andy Sellars: Catapult** Accelerating the commercial application of compound semiconductors
- **Mohamed Alomari: IMS Chips**
Fast-loop assessment of GaN/AlGaIn epitaxial layers for power applications
- **Cem Basceri: Qromis**
‘Status updates: Volume manufacturing of high performance & scalable GaN power devices on 8-inch diameter QST platform’
- **Samantha Reese: National Renewable Energy Laboratory, USA**
A techno-economics look at SiC WBG from wafer to motor drive
- **Phil Greene: Ferrotec**
Efficient metal deposition with the Ferrotec UF6100 200mm lift-off evaporator
- **Sarah Okada: Revasum** Simplified SiC backside thinning
- **Mikko Soderlund: Beneq** High-capacity wafer-scale solutions for More than Moore Applications
- **Anoop Somanchi: KLA-Tencor**
Defect inspection and process control solutions for compound semiconductor materials
- **Benoit Ravot: Nanometrics**
Process control solutions to maximize yield in HVM for SiC and GaN power devices
- **Speaker TBC: Nanowin** Presentation Topic TBC

5G: Where are we and What’s Next?

What form will 5G take? And how good will 5G be for GaAs and GaN?

ANALYST

- **Eric Higham: Strategy Analytics** Is 5G roll-out a certainty? And will it be good for GaAs and GaN?

SPEAKERS

- **Scott Vasquez: Qorvo** Building the industry’s first 5G front-end
- **Liam Devlin: Plextek RFI** MMICs - what is needed to get mmWave 5G to work?
- **Marianne Germain: EpiGaN** GaN Material Solutions for 5G
- **Somit Joshi: Veeco**
Enabling GaN RF and power electronics through innovative MOCVD and wet etch process technologies
- **Qing Wang: Sino Nitride Semiconductor**
High-quality free standing substrates

Ramping Revenues from RF Devices

What are the opportunities for III-Vs in defense and civilian markets? Will higher frequencies open up new sales?

ANALYST

- **Asif Anwar: Strategy Analytics**
Defense sector trends and the associated market outlook for compound semiconductors

SPEAKER

- **Nick Cataldo: Efficient Power Conversion** Wireless charging with GaN devices
- **Timothy Boles: MACOM** Industrializing RF GaN/S

Finding Solutions with Heterogenous Integration

Where will the growth of compound semiconductors on silicon deliver a fundamental change? And what are the tricks to ensure success?

ANALYST

- **Hong Lin : Yole Développement**
Presentation TBC

SPEAKERS

- **Thomas Uhrmann: EV Group**
Wafer bonding of compound semiconductors: Achieving desired interface properties
- **Jean-Pierre Locquet: GaNonCMOS EU Project**
Dense integrating GaN power switches with CMOS drivers
- **Wolfgang Stolz: NAsP III-V**
Building III/V-devices on CMOS-compatible Si (001)
- **Lars-Erik Wernersson: Lund University**
Integrating III-V nanowires to advance CMOS system-on-a-chip technologies
- **Speaker TBC: Nanotronics**
Topic TBC

LEDs: Magnifying Margins

Which sectors offer the best returns? Does the bottom line get the biggest benefit from streamlining manufacturing, or from optimising the chip?

ANALYST

- **Pars Mukish: Yole Développement**
Revolutionising displays with MicroLEDs

SPEAKERS

- **Samuel Sonderegger: Attolight**
Improving LED manufacturing by full wafer cathodoluminescence
- **Leon Baruah: Seoul Semiconductor**
Improving LEDs with a Wafer Level Integrated Chip on PCB (WICOP) architecture
- **J.C.Chen: Ostendo Technologies**
The monolithic full-colour LED and its applications
- **Keith Strickland: Plessey Semiconductors**
Horticultural lighting offers growth opportunities

All speakers and presentations are subject to change. ©2018 Angel Business Communications Ltd.

PLATINUM SPONSORS



GOLD SPONSORS



WIFI SPONSOR BROLIS SEMICONDUCTORS	PORTFOLIO SPONSOR Plasma-Therm	LANYARD SPONSOR SPTS	LUNCH/DRINKS DINNER SPONSOR Hewlett Packard Enterprise	DELEGATE BAG SPONSOR QORVO all around you	SUPPORTED BY lighting.eu EPIC European Photonics Industry Consortium
--	--------------------------------------	----------------------------	--	---	--

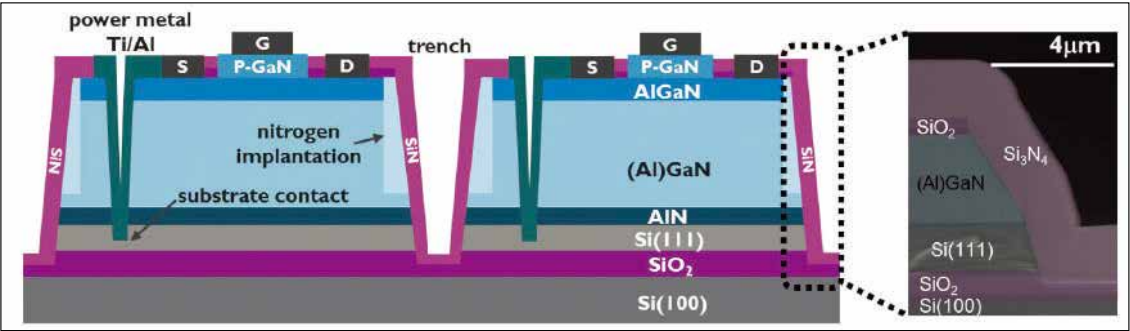


图1. IMEC的增强模式p GaN HEMT架构。

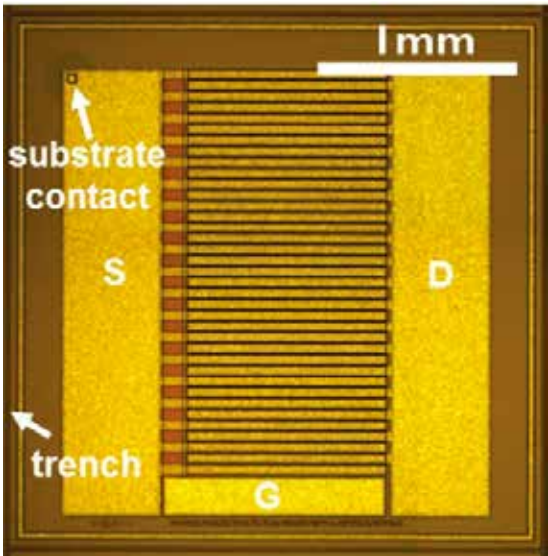


图2. IMEC器件的俯视图。盒式隔离结构在每个HEMT的周围形成。

在SOI晶圆上的生长，然后沟槽隔离来进行器件的隔离，从而实现创新突破。SOI晶圆包含夹在两层硅之间的一层SiO₂。这种复合材料设计可以用来改善绝缘特性，SOI是硅工业中从纳米尺度上来改善性能的努力。

然而，这不是SOI的唯一用途，包括我们自己在内的许多团队正在研究其用作提高GaN晶体质量衬底的潜力。对于GaN生长来说，从硅转换

到SOI并非一件小事情，而是：会有更多层的参数需要调整，例如硅（111）层和柔性二氧化硅层的厚度；需要专门的应变工程来控制外延期间的应力。

通过转变为SOI衬底，我们可以通过沟槽蚀刻贯穿GaN和硅并进入到SiO₂埋层中，从而实现器件的隔离。最终，这使我们能够展示SOI上GaN技术的单片集成能力，例如其在半桥电路中的应用。为了形成这个电路，我们使用增强模式（E模式）的p GaN HEMT：它们具有p型栅极，并且工作在常闭模式下。这种操作方法在省电和失效安全方面都优于常开模式。

我们的单片GaN基电路的制造开始于200mm SOI晶片上的MOCVD GaN外延层，SOI晶圆为一层硅（100）和一层SiO₂顶部上的硅（111）层结构。外延生长加入AlN的成核层，接着是（Al）GaN的缓冲层，GaN的沟道层，AlGaN的阻挡层和镁掺杂的p-GaN层。

IMEC在功率GaN方面的工作

IMEC在SOI上GaN衬底上的研究是其GaN功率器件产业联盟计划的一部分。在这个项目中，

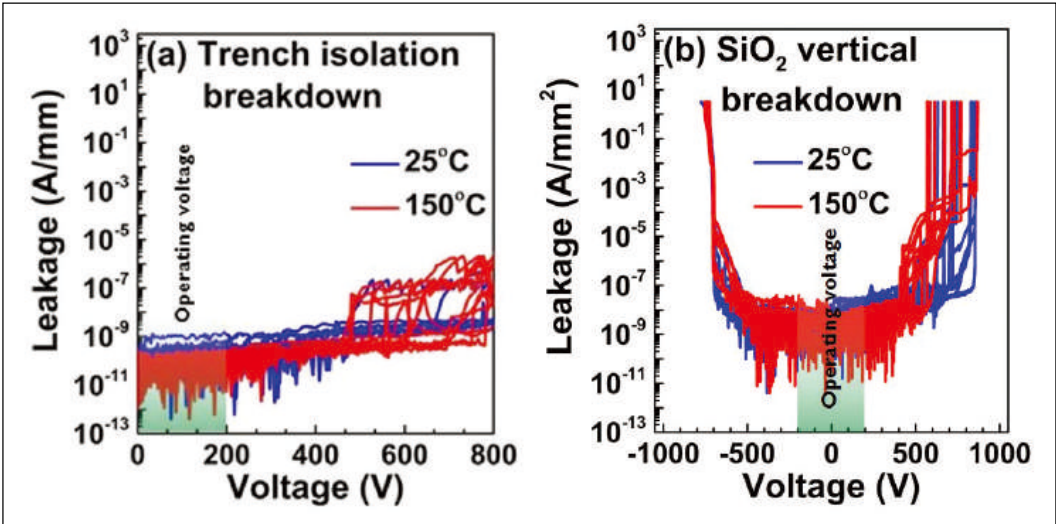


图3. 在25°C和150°C下，200mm SOI上GaN的（a）沟槽隔离水平击穿和（b）SiO₂埋层的垂直击穿。

Creating and strengthening links between chipmakers and network builders

PIC INTERNATIONAL 2018 CONFERENCE SPEAKERS ANNOUNCED!

With a record breaking number of speakers and sponsors secured,
PIC International 2018 is set to be the biggest and best yet



Book your place NOW!

www.picinternational.net/register to secure your place
It's set to be another sellout

On Tuesday 10 and Wednesday 11 April 2018 in Brussels at the Sheraton Airport Hotel, PIC International will once again be the must-attend event for the global integrated photonics community.

Highlights include talks by Facebook, Nokia-Labs, imec, Phoenix Software, IBM, NEC Corporation, Hewlett Packard Enterprise, Intel, plus many more...

Delivering over 30 presentations
PIC International will provide comprehensive coverage of the PIC industry exploring 5 core themes

- Moving the data: PICs for cloud computing and telecoms
- Refining the PIC: achieving the next milestone in performance
- Delivering the goods: advances in PIC manufacturing
- PIC Design, simulation and packaging: A blueprint for future success
- PIC horizons: new and emerging applications for integrated photonics

For each theme a keynote presentation will be given by the leading decision makers and influencers within the industry.

This two day event covers five themes (Speakers announced to date)

Refining the PIC: Achieving the Next Milestone in Performance

What are the leading approaches for integrating key building blocks at the chip-level and how can we bring together electronics and photonics more efficiently?

SPEAKERS

- **Michael Lebby: Lightwave Logic**
Scalable PIC platforms: The impact of using polymer PICs for 100 and 400Gbps datacom applications
- **Wim Bogaerts: Ghent University/imec**
Programmable photonic ICs: making optical devices more versatile
- **Tan Yong Tsong: Institute of Microelectronics**
Coupling electronics and photonics – promising paths for device-makers to explore
- **Sasan Fathpour: CREOL, The College of Optics & Photonics**
Silicon photonics beyond silicon-on-insulator - emerging solutions for integrated photonics
- **Yvain Thonnart: CEA-Leti**
Integrating photonic building blocks towards complete electro-optical computing
- **Shinji Matsuo: NTT Photonics**
III-V membrane lasers on silicon for datacom and computercom applications

Delivering the goods: Advances in PIC Manufacturing

What are the latest tools and techniques that can be deployed in the fab? And what are the options when it comes to evaluating the output?

SPEAKERS

- **Jessie Rosenberg: IBM**
Inline wafer-scale photonic testing to boost PIC manufacturing efficiency
- **Graham Reed: CORNERSTONE**
CORNERSTONE: Silicon photonics fabrication capability based on DUV lithography
- **Michael Geiselmann: LIGENTEC**
Silicon nitride for new PIC applications
- **Florent Gardillou: Teem Photonics**
Photonics on glass : The ioNext PIC platform
- **Arne Leinse: LioniX International**
Silicon nitride based TriPleX PIC modules in a broad range of applications
- **Henk Bulthuis: Kaiaam Corporation**
Vertical integration: bringing key elements together to match PICs to the market
- **Scott Jordan, Physik Instrumente**
99% alignment cost reduction through novel parallel technology – An enabler for SiP production economics
- **Ignazio Piacentini, FiconTEC**
Better and faster assembly and testing: recent advances and innovations in automated manufacturing equipment

Moving the Data: PICs for Cloud Computing and Telecoms

Data centres and networks need smart solutions to manage the sharp growth in traffic. What can integrated photonics bring to the table and how can developers make sure their products appeal to key customers?

SPEAKERS

- **Vincent Zeng: Facebook**
PIC opportunities for datacentres
- **Yuichi Nakamura: NEC Corporation**
Big data analysis - a golden opportunity for silicon photonics
- **Martin Schell: Fraunhofer HHI**
The Zettabyte is not enough: Volume handling for InP, silicon photonics, and hybrid photonic integration
- **Radha Nagarajan: Inphi**
Silicon Photonics for distributed data centre interconnects
- **Weiming Yao: JePPIX/PITC**
III-V photonic integrated circuits for telecoms and beyond
- **Peter Winzer: Nokia Bell Labs**
Massive array integration and the need for a holistic digital/analog optics/electronics co-design
- **Eric Mounier: Yole Développement**
Data centre technology - the big PICture, opportunities for energy efficient photonics
- **Ruth Houbertz: Multiphoton Optics**
Quo vadis – Industrial high-precision 3D printing
- **Eli Arad: Colorchip**
Emerging integrated optics: An approach to high-volume manufacturing

PIC Design, Simulation and Packaging: A Blueprint for Future Success

How can we implement ideas faster and what needs to be considered to keep the final device cost on track?

SPEAKERS

- **Peter O'Brien: Tyndall National Institute** PIXAPP – Open Access Opportunities for Advanced PIC Packaging
- **Robert Scarmozzino: Synopsys** PIC Design: From concept to manufacture
- **Christopher Cone: Mentor Graphics** From schematic to layout – overcoming today's PIC design challenges
- **André Richter: VPIphotonics** Scalable design of integrated photonic and optoelectronic circuits
- **Pieter Dumon: Luceda Photonics** Moving the edges in PIC process design kits
- **Twan Korthorst: PhoeniX Software** Driving the PIC revolution

PIC Horizons: New and Emerging Applications for Integrated Photonics

How can developers capitalize on opportunities for optical platforms in growth areas such as medical diagnostics, industrial sensing and biological analysis?

SPEAKERS

- **Milan Mashanovitch: Freedom Photonics**
Low size, weight and power (SWaP) instruments for sensing applications - cutting edge PICs
- **Sascha Geidel: Fraunhofer ENAS**
Adding the 'tech' to biotech - opportunities for photonic integrated circuits
- **Andrew Sparks: Analog Devices**
Lidar for autonomous driving: Key technological opportunities

Panel: Has Silicon Photonics got the Required Scalability to Displace InP?

Silicon photonics has attracted the interest of many in large corporations, SMEs, and academics as a potential replacement to the incumbent PIC technology InP. Given these conditions, the question remains to ask if SiP can be truly scalable towards \$1/Gbps at 400Gbps data rates and above (for any distance)?

Bert Jan Offrein – IBM

Di Liang - Hewlett Packard Enterprise

Robert Blum – Intel

Sean Anderson – Cisco

Panel: High volume and high performance opportunities for PICs

Will transceivers ever achieve super high volumes to allow scalability in cost and performance, and if so, what would be the common large volume platforms, and more specifically, what would be the transceiver format/form factor?

Drew Nelson – IQE

William Ring – POET Technologies

Philip Gadd – Intel

Peter Winzer – Nokia Bell Labs

PLATINUM SPONSORS



GOLD SPONSORS



MEDIA SPONSORS



WIFI
SPONSOR



DELEGATE BAG
SPONSOR



LANYARD
SPONSOR



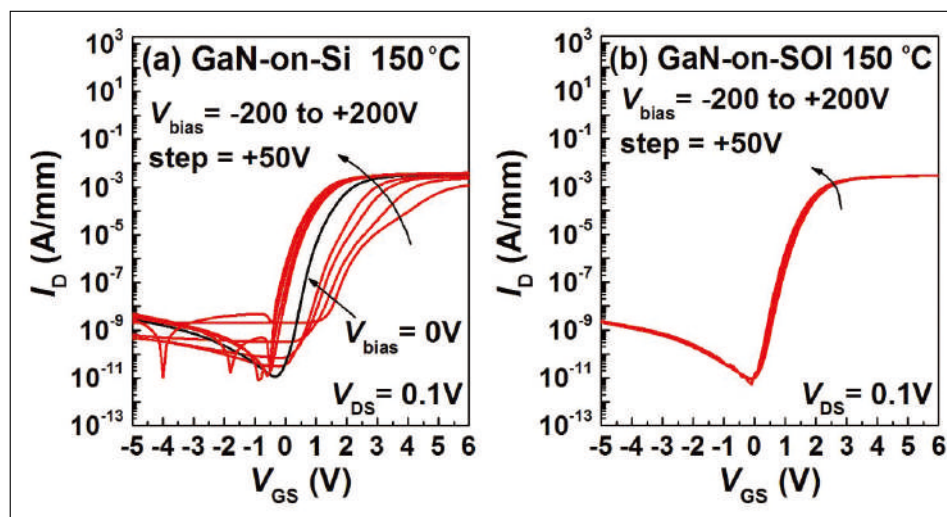
LUNCHDINNER/
DRINKS SPONSOR



SUPPORTED BY



图4. 温度为150℃时HEMT的转移特性, (a) 普通硅衬底上偏置-200V至200V (硅上GaN) 和 (b) 同时以不同电压偏置相邻硅 (111) 上的 HEMT层 (SOI上GaN)。



IMEC 的目标是将今天的硅基 GaN 技术提高到更高水平的成熟度和可靠性, 并探索下一代的新概念 GaN 技术。

IMEC 的研究也在欧洲 ECSEL PowerBase 项目框架内进行。PowerBase 旨在开发基于像 GaN 等材料的下一代节能芯片。通过英飞凌的协调, 39 个项目合作伙伴正准备将这些半导体用于智能手机、笔记本电脑、服务器和许多其他应用的规模工业用途中。在这个项目里, IMEC 正在寻求超越传统衬底技术的 GaN 基器件, 并探索新的隔离技术。PowerBase 通过资助协议 662133, 从欧洲领导力联盟的电子元件系统获得资金。

为了控制晶圆生长过程中产生的应力, 我们开展了专门的应变工程研究。这使得能够生产具有受控的翘曲和良好机械强度的 SOI 上 GaN 晶圆。随后使用 TiN/p GaN 叠层作为栅极, 形成 E 型的 p GaN HEMT。

HEMT 的水平和垂直隔离通过结合氮注入和沟槽蚀刻到 SiO₂ 埋层的隔离来实现。从而实现了盒状的隔离结构, HEMT 的四面都有绝缘介质包围 (见图 1 和图 2)。

我们的 p 型 GaN HEMT 已经完全符合 200V

开关应用要求。沟槽隔离的水平击穿电压, 以及 SiO₂ 埋层的垂直击穿电压都通常高达 150℃ 下 500V 的水平 (见图 3)。

器件隔离的优势突出表现在我们的 SOI 上 GaN HEMT 的转移特性上 (见图 4)。有了这个基础, 当衬底上相邻器件的偏置电压在 -200V 和 200V 之间变化时, 转移特性只有很小的变化。与此形成鲜明对比的是, 当硅衬底上发生这种情况时, 转移特性会发生显著变化, 从而突显这些器件的性能下降。

我们的研究结果首次揭示了 SOI 上 GaN 和沟槽隔离的结合, 是一种将 GaN 功率系统单片集成到同一晶圆上的有前途方法。我们接下来将要研究 SOI 上 GaN 的热性能, 并优化 SOI 衬底和 GaN 外延层堆叠的组分。另外, 我们还将进行更高层次的单片集成, 并将工作电压提高到 650V。

扩展阅读

Xiangdong Li et al. IEEE Electron Dev. Lett. 38 918 (2017)

<https://www.imec-int.com/en/200mm-GaN-on-Si-technology>

<https://www.imec-int.com/en/articles/imec-s-200mm-gan-on-si-emode-power-devices-withstand-heavy-ion-and-neutron-irradiation>

<http://magazine.imec.be/data/74/reader/reader.html?t=1493275079050#!preferred/1/package/74/pub/80/page/4>

<http://www.powerbase-project.eu>

Connecting, informing and inspiring the HIGH END SENSOR industry

HIGH END SENSORS INTERNATIONAL CONFERENCE 2018

The inaugural High End Sensors conference will be held at the Sheraton Airport Hotel in Brussels on 10 -11 April 2018. HES International will be held alongside CS international and PIC International.

High-end sensor devices are an increasingly significant share of the global machine sensory market that is expected to exceed 30 billion devices by 2020 with revenue of (USD) \$20 billion. We will explore opportunities for the most advanced sensors that deliver higher performance, ruggedness and longer operational lifetimes. We will examine new technologies that are cutting costs while increasing effectiveness. We will explore product development within major high-end sensor categories and ways that researchers and manufacturers are investigating to enhance performance, reduce power consumption, and improve efficiency.

Two days, 10 topics, over 25 inspiring presentations

The presentations will be based around ten topics which collectively provide complete coverage of the high-end sensor market.

- Defence, Security, Aviation and Aerospace High-End Sensors
- Imaging and Optical Sensing Advances
- Maximizing Sensor Data Acquisition and Analysis
- Optimizing IoT and IIoT Sensor Networks and Security

- New Approaches for Power Control and Energy Harvesting
- Radar and LiDAR Innovations
- Advances in MEMS Sensor Development
- Metrology and Test for High-End Sensors
- Enhancing Sensor Performance: Embedded, SoC and Machine Learning
- Emerging Opportunities and Applications

<https://highendsensors.net/home>

KEYNOTE SPEAKERS

● Olivier Sornique - Airbus

- Bernhard Straub **Infineon Technologies**
- Rainer Minixhofer **AMS AG**
- Tristan Rousselle **Aryballe Technologies**
- Henry White **BAE Systems**
- Pierre-Damien Berger **CEA-Leti**
- Nicholas Burgwin **Fibos**
- Wilmut Muller **Fraunhofer IOSB**
- Richard Dixon **IHS Markit**
- Denis Pasero **Ilika Technologies**
- Nora Maene **imec**
- Marianne Vandecasteele **imec**

- Sergey Yurish **IFSA**
- Diego Reyes **IST AG**
- Sergio Nicoletti **MIRPHAB**
- Johan Pedersen **Sigma Designs**
- Maurus Tschirky **Evatec**
- Pim Kat **Technobis**
- Peter O'Brien **Tyndall National Institute**
- Iwan Davies **VIDaP Consortium**
- Iñigo Artundo **VLC Photonics**
- Mrinal Pal, **Central Glass and Ceramic Research Institute, Kolkata**
- Martin Eibelhuber, **EV Group**
- Mohamed Missous, **University of Manchester/AHS**



Book your place NOW!

It's set to be a sellout

CS INTERNATIONAL CONFERENCE

The 8th CS International conference will build on the success of its predecessors, with industry-leading insiders delivering more than 30 presentations spanning five sectors. Together, these talks will detail breakthroughs in device technology; offer insights into the current status and the evolution of compound semiconductor devices; and provide details of advances in tools and processes that will help to drive up fab yields and throughputs.

Attendees at this two-day conference will gain an up-to-date overview of the status of the CS industry, and have opportunities to meet many other key players within this community.

PIC INTERNATIONAL CONFERENCE

Photonic Integrated Circuits International

Sales of PICs are soaring, with their deployment helping to boost the capacity of networks and data centres. To aid this industry, we are strengthening the relationships between the makers and the users of these integrated circuits by organising the 3rd PIC International, a global conference dedicated to this industry. Attendees to the conference will hear industry-leading insiders delivering more than 30 presentations spanning five sectors. The conference will equip the delegates with an up-to-date overview of the status of the PIC industry, and provided them with many opportunities to meet other key players within this community.

3/2/1 Register for one conference and gain access to **THREE** cutting edge complimentary events plus **ONE** dedicated exhibition featuring leading industry players from across the globe.

Registration at one conference allows access to all the other conference sessions

PLATINUM SPONSORS



GOLD SPONSORS



MEDIA SPONSORS



LUNCH/DRINK/DINNER SPONSOR



THEME SPONSOR



WIFI SPONSOR



SUPPORTED BY



首次亮相：p 型 SiC MOSFET

p 型而不是 n 型碳化硅 MOSFET 将开创新天地，为未来的互补逆变器增加筹码。

Junjie An, Masaki Namai, Mikiko Tanabe, Dai Okamoto,
Hiroshi Yano 和 Noriyuki Iwamuro, 筑波大学

SiC 以其宽带隙和大介电常数而闻名。这些特性让 SiC 功率器件在很多方面比硅更有优势，其中包括：较低的导通电阻；较高的最高工作温度；较低的传导损耗；以及由于高导热率，工作期间芯片温度增加较小。

硅器件的弱点限制了一些电路的效率，并妨碍了其他一些电路的能力。当部署到传统的逆变器中时，硅器件会有非常大的问题。在这些电路中，p 型和 n 型晶体管是配对在一起的，两个器件的导通状态可能会导致短路。为了防止这种情况出现，工程师必须确保死区时间至少为 1.0μs，这对应于门驱动电路的延迟时间。但是，这样解决问题会引入了另一个问题：输出交流波形中的总谐波失真会相对较高。这是我们不希望的，因为这就需要增加开关频率，但是增加频率非常有挑战性，尽管这也很需要，因为它是保持更小、更轻、更高效逆变器的关键。

我们筑波大学的团队开发出一种新的逆变器架构，可以减少死区时间，同时解决与高总谐波失真有关的问题。我们的方法是采用 SiC 器件的互补逆变器拓扑结构。

最初，我们考虑的是 n 沟道 SiC 晶体管和 p 沟道硅晶体管的组合。然而，这远远不够理想：与 n 沟道对应器件相比，p 沟道硅 IGBT 由于其操作容差低，比如小的安全操作区，因此不是好的执行器。转换到硅 MOSFET 也不是一个好的解决方案，因为会由于其低的击穿电压和较差的热特性而使得性能受限。

所以，由于 p 型硅的这些缺点，我们决定开始开发 p 型 SiC MOSFET。这种器件，具有大的安全操作区，但是在市场上可用的形式只有 n 型晶体管。除了我们的工作之外，目前还没有见到关于 p 型晶体管的报道。

我们的器件是国家先进工业科学研究院

(NAIST) 所开发注入和外延 MOSFET 技术的衍生技术。它具有垂直结构（见图 1），制造中采用了 n 沟道注入。

我们的 p-MOSFET 的基础是硅面的 p 型 4H-SiC 衬底，厚度为 350μm，电阻率为 2Ω·cm。我们在其上沉积了 5μm 厚的漂移层，掺杂浓度为 $1.6 \times 10^{16} \text{cm}^{-3}$ 。n 沟道区域的底部通过选择性地注入氮离子而形成，注入浓度为 $4 \times 10^{18} \text{cm}^{-3}$ 。在这个表面上，我们生长了 0.5μm 厚的 n 沟道区，掺杂浓度为 $5 \times 10^{15} \text{cm}^{-3}$ 。

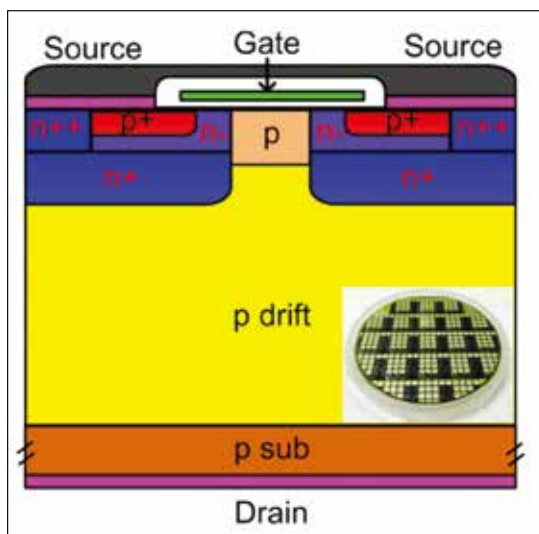


图1. 筑波大学制造的 SiC p-MOSFET 截面图。插图显示了制造的 SiC p-MOSFET 晶圆。

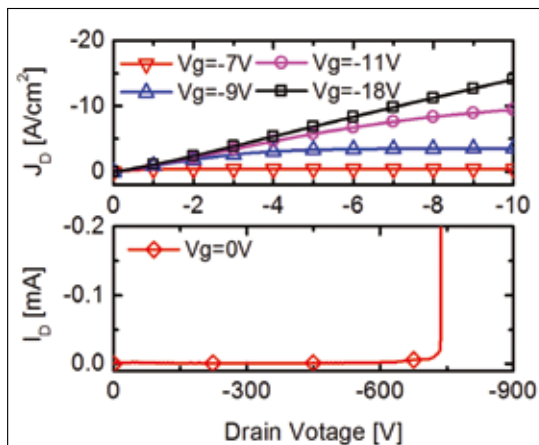


图2. 所制造 SiC p-MOSFET 的典型开态、阻断特性。

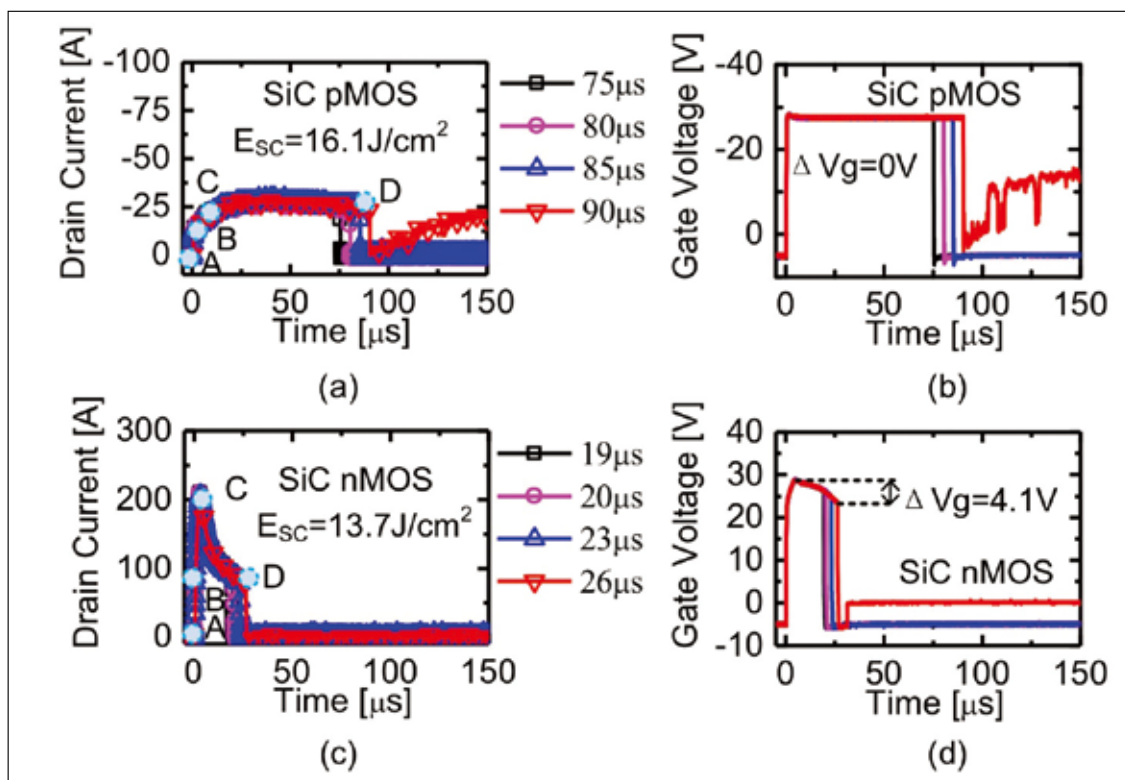


图3. 漏极电流波形的时间依赖以及SiC *p*-MOSFET和SiC *n*-MOSFET的栅极电压实验结果。

我们的 *p*-MOSFET 具有 JFET 区域，这是通过选择性铝离子注入形成，铝离子可以减小电阻。加入 JFET 之后，完成器件制造的步骤还有：在表面上增加 50nm 厚的栅极氧化层；通过高掺杂多晶硅的沉积和退火形成栅电极；以及采用金属工艺形成源电极和漏电极。通过该工艺，我们形成了 3mm × 3mm 的 *p*-MOSFET 芯片。

我们的 *p*-MOSFET 电气测量结果显示，典型

的阈值电压为 -5.32V，击穿电压超过 -730V（见图 2）。这种晶体管的弱点在于其导通电阻，达到 *n* 沟道器件的十倍以上，这是由于体和沟道中低的空穴迁移率，厚的 *p*+ 衬底以及传统的栅极氧化工艺。但是，我们并不太担心这种高的导通电阻，因为我们认为它可以通过采用先进的管芯设计如超结，以及转向沟槽栅极结构和最先进的制造技术来加以弥补。

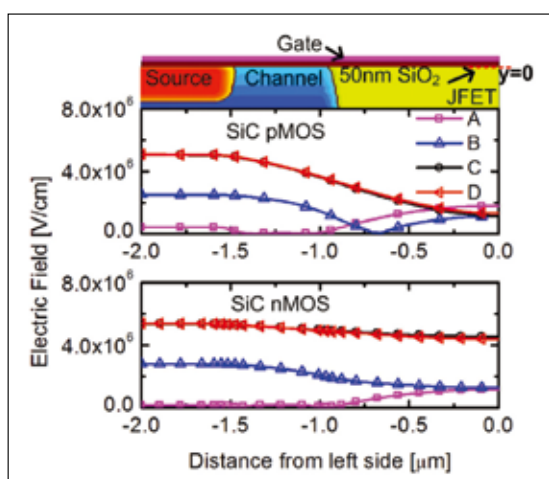


图4. 针对图3 (a) 和 (c) 中栅极氧化层为50nm的SiC MOSFET，其栅极氧化层中四点短路瞬态电场分布仿真结果。

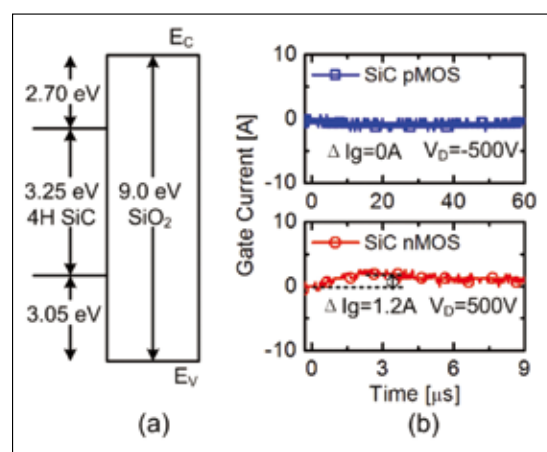


图5. (a) 表示势垒高度的4H-SiC和SiO₂能带图。(b) 制造的SiC *p*-MOSFET和SiC *n*-MOSFET在500V直流总线下，栅极泄漏电流的实验结果。

我们通过在栅极氧化物上施加高电场并使用更高结温，实现短路这些*p*型和*n*型MOSFET的栅极和源极端子。在两个器件中，由于两个端子之间的阻抗无限大，所以*p*-*n*结中几乎没有观察到损坏或退化。

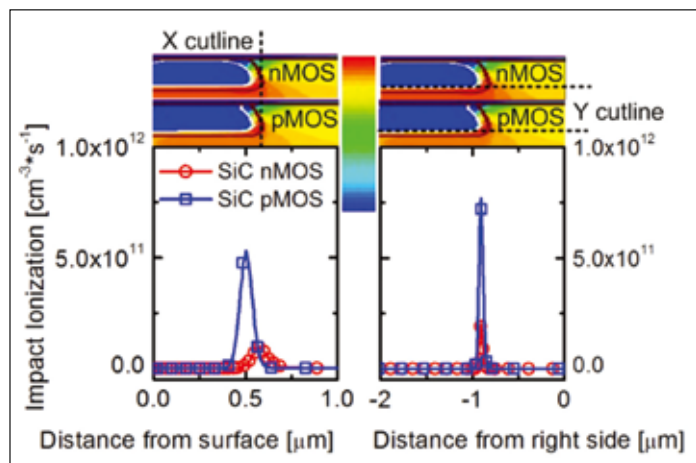


图6. SiC MOSFET在X和Y割线上的碰撞电离模拟结果。

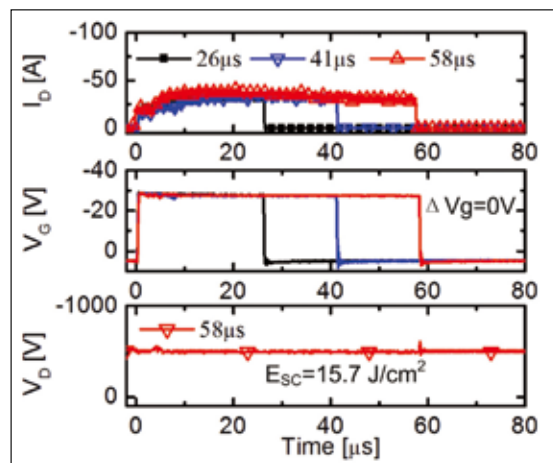


图7. 对于最大短路承受时间58μs和-500V DC总线的SiC p-MOSFET, 其漏极电流、栅极和漏极电压波形时间依赖的实验结果。

短路强度

我们专门通过测量作为短路耐受时间函数的漏极电流和栅极电压, 来评估了SiC *p*-MOSFET的短路能力。这些实验使用 -300V 直流总线, 结果表明栅极电压可以高达 -27V, 短路承受时间为 75μs 到 90μs (参照图 3 (a) 和 (b))。这种测试方法的破坏性失效发生在 90μs 时, 相关的短路能量为 16.1Jcm⁻²。注意, 尽管对栅极氧化物施加了高达 5.4MV/cm 的电场, 但栅极电压并没有退化的迹象。

为了评估我们的 *p*-MOSFET, 我们把它与 2.8mm × 2.8mm 管芯尺寸, 8μm 漂移厚度和 650V 额定电压的 SiC *n*-MOSFET 进行了比较。再次, 我们通过测量漏极电流和栅极电压评估了短路能力, 但是这次我们使用的最大短路耐受时间仅为 26μs (见图 3 (c) 和 (d))。对于这个器件, 短路能量只有 13.7Jcm⁻², 所以约为 SiC *p*-MOSFET 能量的 85%。我们的 *p*-MOSFET 在栅极电压稳定性也比 SiC *n*-MOSFET 占上风, 后者逐渐下降达 4.1V。

我们通过在栅极氧化物上施加高电场并使用更高结温, 实现短路这些 *p* 型和 *n* 型 MOSFET 的栅极和源极端子。在两个器件中, 由于两个端子之间的阻抗无限大, 所以 *p*-*n* 结中几乎没有观察到损坏或退化。即使栅 - 源端子完全短路, 器件仍能保持其阻断特性。

模拟使我们能够在短路瞬变过程中研究 *p*-*n* 结和栅氧化层的可靠性。结果表明, 当使用 300V 直流总线时, 栅极氧化层中的电场逐渐增加, 直到达到其最大值, 此时器件逐渐从关闭状态切换到导通状态 (见图 4)。

高表面温度下出现的这种高电场, 凸显了对栅极和源极端子之间耐用性的需求。这个电场是

SiC *n*-MOSFET 栅极电压从 27V 到 22.9V 时退化的源头 (见图 3 (d))。相比 *n* MOS 器件, 由于 *p* MOS 在 SiC 和 SiO₂ 之间有更高的有效势垒高度, 达 3.05eV, 远高于 *n* MOS 器件的 2.70eV, 我们的 SiC *p*-MOSFET 在达到其临界失效条件前, 能够有效地避免退化。

我们的器件在栅极漏电方面也优于 SiC *n*-MOSFET。使用 -500V 直流总线并考虑短路瞬态, 我们的器件没有显示出栅极电流, 而 *n* 型器件的电流为 1.2A (见图 5)。我们也研究了阻塞作用。采用短路测试结果的数据, 仿真结果表明, 两种器件的碰撞电离峰都在结的角落处 (见图 6)。SiC *p*-MOSFET 中的空穴撞击电离比 SiC *n*-MOSFET 中的电子碰撞电离更高, 但其值小于 $1 \times 10^{12} \text{cm}^{-3} \text{s}^{-1}$, 这表明碰撞电离太小, 并不会诱发雪崩击穿。

为了确认我们的 *p*-MOSFET 抗雪崩能力, 我们使用 -500V 的漏极电压 (见图 7) 测量了它的短路能力。这个实验表明, 该器件可以成功地承受高雪崩条件, 且短路能量达 15.7Jcm⁻², 短路耐受时间为 58 μs。我们的测量和模拟表明, 我们的 *p*-MOSFET 能够承受严重的短路, 这是由于其 *p*-*n* 结和栅氧化层的坚固性。与 *n*-MOSFET 相比, 我们 *p* 型器件的短路能量提高了 15%, 并在短路测试期间有更高的栅极氧化层可靠性和抗雪崩能力。更重要的是, 我们的 *p*-MOSFET 有着比 *n* 型器件更高的安全操作区。对于基于 SiC *p* 型和 *n* 型 MOSFET 对的互补逆变器电路, 这些结果给出了非常令人鼓舞的前景。☞

本工作部分通过筑波电力电子系列 (TPEC) 的联合研究项目得以实施。

GaN HEMT：衬底难题

对于 GaN HEMT 来说，本征衬底的额外成本是否值得支付？

Mohammed Alomari，斯图加特微电子学院（IMS CHIPS）

作为现有的电力电子技术，硅有其局限性。这包括在高于 1 MHz 频率下结合 500 V 以上工作的系统中，无法提供具有理想效率的直流电源转换。这是一个主要障碍，因为许多应用中都需要这些条件，包括：用于汽车和工业电源的电机驱动；电动车辆的动力单元（它们插入到充电单元和电池之间，或者电池和电机之间）；光伏逆变器；数据中心及电信电源。

幸运的是，有了引人注目的硅的替代品：GaN HEMT。由于具有处理高电压和高电流密度的能力以及快速的开关速度，因此它是电源开关的理想选择。鉴于这些优点，分析师们认为这种器件将在未来十年形成上十亿美元的销售额。

但是，这并不是说这种器件毫无缺陷。它的缺点使得其市场导入年复一年的延迟。虽然没有人怀疑其引人关注的特性，但是它并没有能在汽车行业等具有广泛消费群体的市场中吸引消费者，尽管这些行业迫切需要其提供的性能。

事实上，阻碍 GaN HEMT 在商业上取得成功有两个方面的问题：成本和可靠性。

我们在 IMS CHIPS（THE INSTITUTE FOR MICROELECTRONICS STUTTGART）的团队通过深入了解 GaN HEMT 的能力和弱点，仔细研究了这些问题。我们研究的一个关键问题是，当在硅片上或在本征衬底上制备这种器件时，是否能够获得更多的商业成功。下面就是我们研究的结论。

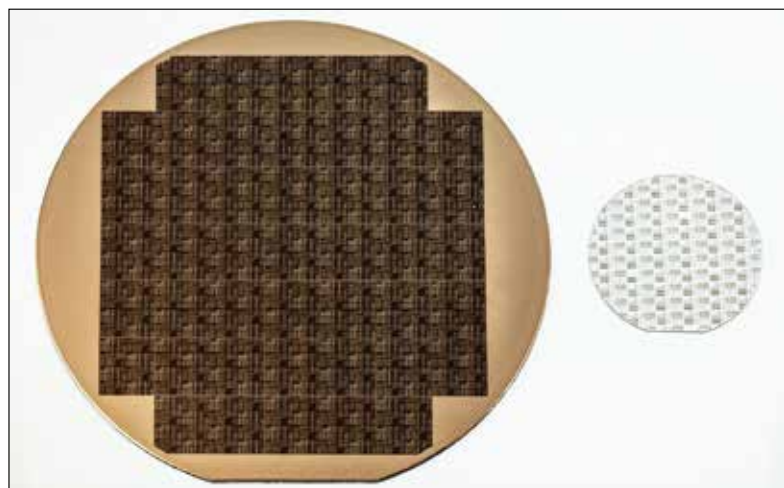
成本问题

如果 GaN HEMT 有低成本的名声，那这可以追溯到其在大直径、昂贵衬底如 SiC 上的生产。这个问题的解决方案是大直径的硅衬底，现在这可以通过外延材料供应商来获得。这种材料具有足够高的质量来实现高压操作，并且能够在已经建立的硅片生产线上，以兼容 CMOS 的方式进行加工工艺（参见图 1 中 6 英寸硅片上的硅基 GaN 晶圆图像，这类似于现在我们的 CMOS 线中的常规加工工艺）。任何人使用这种方法都可以降低单芯片的成本，因为 GaN 可以与 CMOS 硅并排进行工艺加工。这就省下了单独 GaN 线的大量投资。

然而，即使有了这些进步，GaN HEMT 也还很昂贵。裸晶圆的成本大约为 2000 到 5000 欧元，这主要是源于 GaN 外延的成本。硅上生长 GaN 很不容易，需要多层堆叠来减轻立方的硅和六方 GaN 之间的热和晶格失配（如图 2 所示）。此外，还需要相对较厚的补偿隔离缓冲层，才能够在导电硅衬底上实现高电压。

即使是经过精心挑选的外延结构，硅上 GaN 晶圆也仍然有很高的残余应力和很大的晶圆翘曲。这会影响良率，因为它会增加工艺过程中晶圆开裂的可能。器件也会受到电荷捕获和低效散热的损害。这源于存在如此多的不同外延层和界面，以及高达 $2 \times 10^9 \text{ cm}^{-2}$ 量级的缺陷密度。

图1. 6英寸硅基GaN晶圆（左）可以使得GaN功率器件具有成本效益，但可靠性只能通过使用本征GaN上的GaN晶圆来获得，如2英寸的晶圆所示（右）。



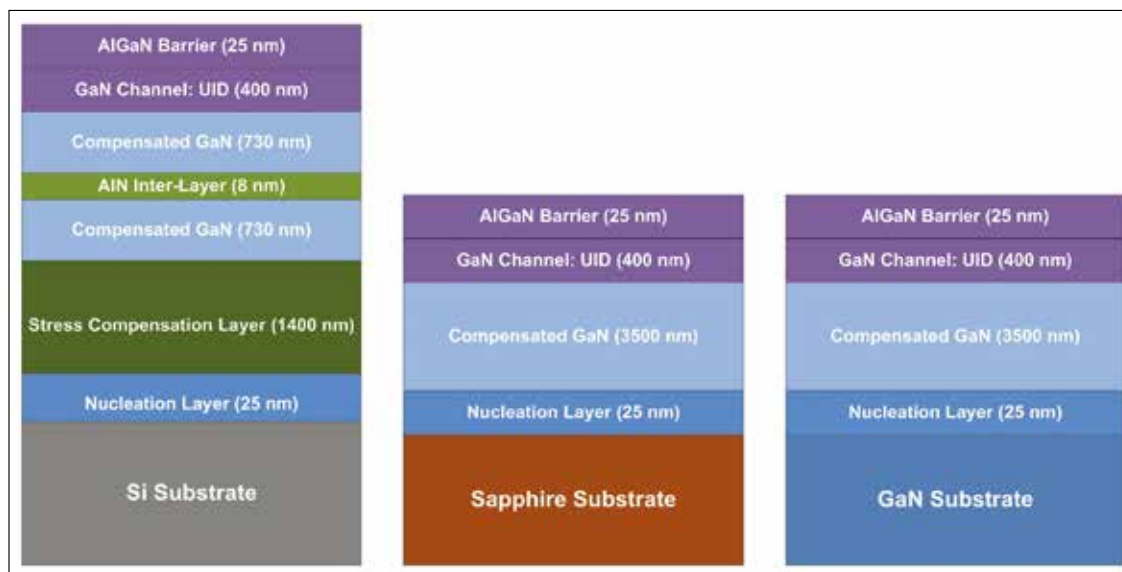


图2. 需要许多应力和补偿层才能实现硅衬底上高电压GaN HEMT的生产。蓝宝石和体GaN衬底的外延复杂度则会大大降低。

可靠性问题

GaN HEMT 的顶层通常是 AlGaIn 势垒，底部缓冲层通常为 GaN，而器件的工作取决于顶层和底部之间的极化差异。如果电荷被俘获，将产生不受控制和动态的失衡，最终会降低器件的可靠性。器件的工作导致沟道密度的降低，通常描述为动态导通电阻的增加，并且导致泄漏电流的累积增加，这会造成不可预测的器件行为。这对周围控制电子器件的性能下降会有影响。最糟糕的情况是突然的灾难性器件或电路失效。

因此，简而言之，硅上 GaN 具有高性价比的潜力，但在可靠性和热管理方面也有一些严重的缺陷。

针对我们的研究，我们可以在估算良率和最终芯片成本时，考虑硅上 GaN 晶圆的局限性。但这相当不容易，部分原因是没有严格的外延片标准。实际情况是，不同的供应商根据其外延设备和硅衬底的选择，采取不同的方法来生产有相同设计的外延片。

为了实现外延工艺的标准化，需要一种将缺陷产生的一般原因与生长技术相关联的统计方法。这是我们与领先的可靠性和建模合作伙伴合作共同的目标。不同的晶圆供应商的硅上 GaN 晶圆进行了结构和电学表征，其统计结果与每个供应商采用的常见外延步骤进行了关联。

我们采用“快速循环 GaN 工艺”加工了我们的晶圆。它使用最少和干扰最小的制造步骤形成了 GaN 器件，即在器件工艺期间没有引起任何的材料质量劣化。尽管这种方法不能和基于 CMOS 工艺一样来形成复杂结构，但它是用于材料表征

目标的最佳选择。因为它可以快速、全面地分析晶圆供应商的晶圆质量。周转时间为两周至四周，具体取决于表征和报告的复杂程度。

我们提供的表征范围可以从直流测量到可靠性分析。这可以在全部或部分晶圆上进行。

我们工作的一个例子，是在未加工的 6 英寸硅上 GaN 晶圆中获得缺陷映射图（见图 3）。使用我们的快速循环工艺，我们可以快速地将电学结果与晶圆的物理状态相关联。以更广泛和统计的方式来实施这种方法，应该能够达成最适合外延方法的共识。

显而易见的是，硅上 GaN 较低成本的利用取决于这些外延片进一步标准化，以及更彻底研究能够减轻外延引起可靠性问题的方法。但是，如果要从根本上解决可靠性问题，就必须消除缺陷和捕获中心，这似乎只能通过使用绝缘的体 GaN 衬底来切换到 GaN HEMT 同型外延，才有可能解决。

使用本征衬底有许多优点：不需要应力消除

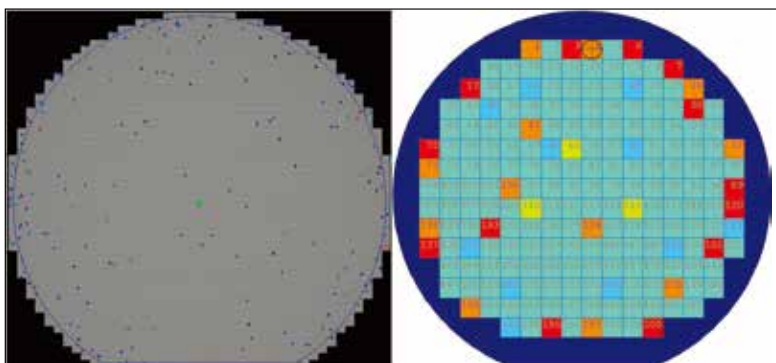


图3. 商业的硅上GaN晶圆缺陷映射（左），以及最终的器件性能晶圆映射图（右图）。这里红色标记的芯片完全失效，而一些则是低于设计规格。当然，大部分芯片都通过了测试标准（蓝色芯片）。

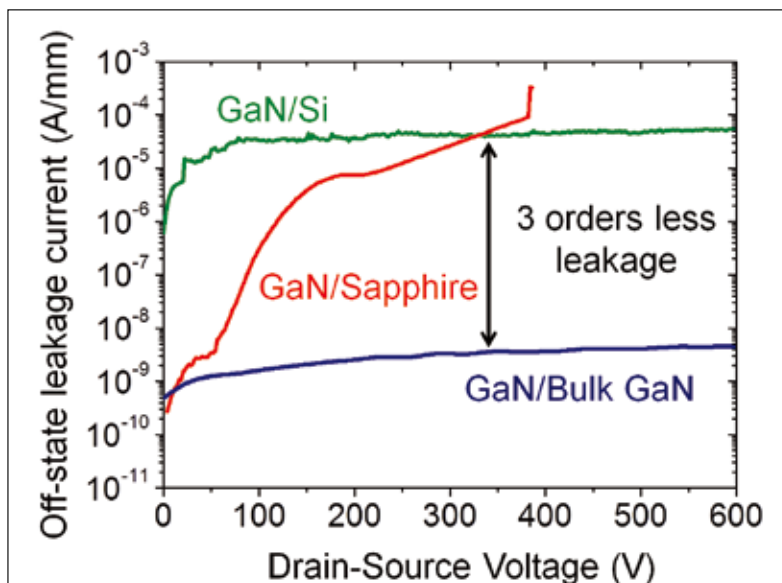
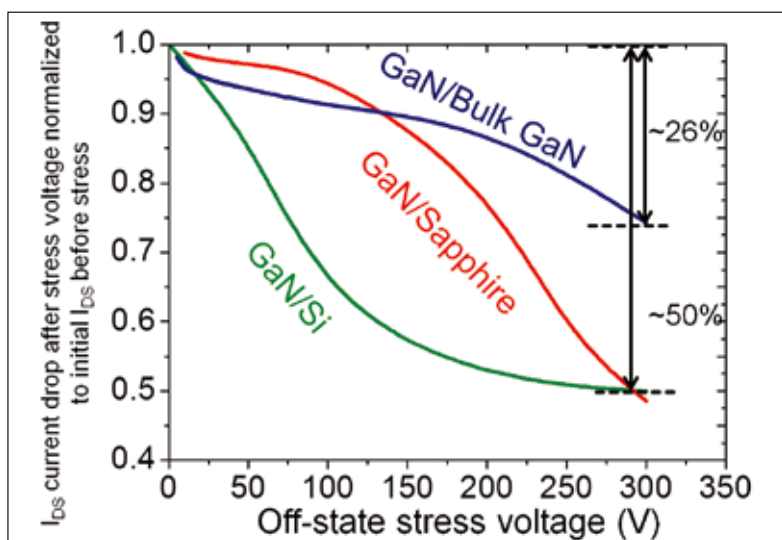


图4. 体GaN上GaN HEMT显示出比硅上GaN和蓝宝石上GaN本征的更低漏电流。

和补偿层；而且缺陷密度会骤降，从市售的硅上GaN晶圆的 $2 \times 10^9 \text{ cm}^{-2}$ ，或生长在蓝宝石上GaN的 $9 \times 10^8 \text{ cm}^{-2}$ 骤降到小于 $1 \times 10^6 \text{ cm}^{-2}$ 。

为了突出显示异质衬底转换为本征衬底带来的可靠性改进，我们使用快速循环工艺表征了GaN上GaN，硅上GaN，以及蓝宝石上GaN的晶圆。注意虽然蓝宝石上GaN和GaN上GaN不需要补偿层，但是也添加上去比较，以便获得可靠性和缺陷密度的直接关联。较低缺陷密度对可靠性的好处显而易见，当异质衬底替换为本征衬

图5. 硅上GaN HEMT比体GaN上形成的HEMT具有更强的电荷俘获效应。



底时，漏电流下降三个数量级（见图4，示出漏电流随电压的演变曲线，其中器件处于关闭状态。）

通过立即监测关闭状态之后的器件电流，有可能推断由于缺陷引起的俘获效应。我们已经研究了这个问题，在不同关闭状态电压之后进行了测量（见图5）。结果表明，无论什么衬底，俘获随着关闭转台电压增加而增加。但是，俘获的程度并不相同，GaN上GaN器件所受影响最小，而硅上和蓝宝石上器件几乎失去将近一半的开态电流。对于GaN上GaN器件，大部分俘获都在补偿层中。如上所述，补偿层并非必需，不采用补偿层的话，俘获应该大大减少。

当器件处于开态时，它将传导电流。这会导致自热，并且打开时间越长，电流的减少将越大（参见图6）。

采用本征衬底，GaN HEMT相对地免受自热效应影响。当晶体管在蓝宝石上生长时，因为这种衬底热导率低妨碍散热，因此热效应要差得多。乍看之下，由于热导率超过GaN，硅应该是一个不错的选择。然而，采用目前这种配对的生长方法，热功率耗散反而由于高度缺陷成核和补偿多层而变得更差。

因此，从可靠性角度来说，GaN HEMT的最佳基础材料是体GaN衬底。但是，从商业角度来看，它有一些重要的缺点：价格昂贵、尺寸小，而且高压器件所需绝缘形式的可用性有限。

用于制造体GaN的两种选择是氨热生长和HVPE。前者制备出最优质的材料，并是半绝缘的。然而，晶体生长条件难以控制，导致衬底太贵，供应商之间的质量差异太大，并且限制在2英寸直径。此外，似乎大批量生产还不可行。

许多这些问题都是可以用HVPE方法来解决。它涉及在蓝宝石上生长足够厚的Ga₂O₃，从而产生高质量、无缺陷的外延层。此时，从外延层上将蓝宝石去除。然后形成衬底，并工艺处理形成高质量的面。

由于生长速度高达200微米/小时，这是氨热法的7倍，几个衬底制造商正在使用这种方法

今天，GaN HEMT的制造商必须在降低可靠性的低成本衬底与生产更好但更昂贵的器件之间进行选择。这意味着在接下来的几年中，因为低成本衬底降低了可靠性，硅上GaN HEMT可能仅会在工作电压远低于Ga₂O₃能力的应用中取得商业成功。

生产衬底。他们的产品提供各种等级的结晶质量和绝缘性能，并且尽管这种方法需要分离和表面加工步骤，但是衬底尺寸仅受载体蓝宝石晶圆尺寸的限制。我们研究中所使用的这种衬底形式，主要用于制造蓝色激光器和超大功率 LED。如果这个光电子器件分支继续增长，这种晶圆的可用性将会增加，从而会使得其成本得以降低。

今天，GaN HEMT 的制造商必须在降低可靠性的低成本衬底和生产更好但更昂贵的器件之间进行选择。这件事情的一个含义是，接下来几年中，硅上 GaN HEMT 可能仅会在工作电压远低于 GaN 能力的应用中实现商业成功，因为这降低了可靠性要求。同时，本征衬底上生产的 HEMT 可以在功率应用中完全展示该器件的能力，其中这些器件将能够实现高效、紧凑的功率电路。然而，由于这些晶体管的成本很高，它们只适用于利基市场。

理想情况下，当更大、成本更低的体 GaN 衬底可用时，这种状况将会改变。这不会突然发生，但是随着时间，我们希望成本能够逐步降低。

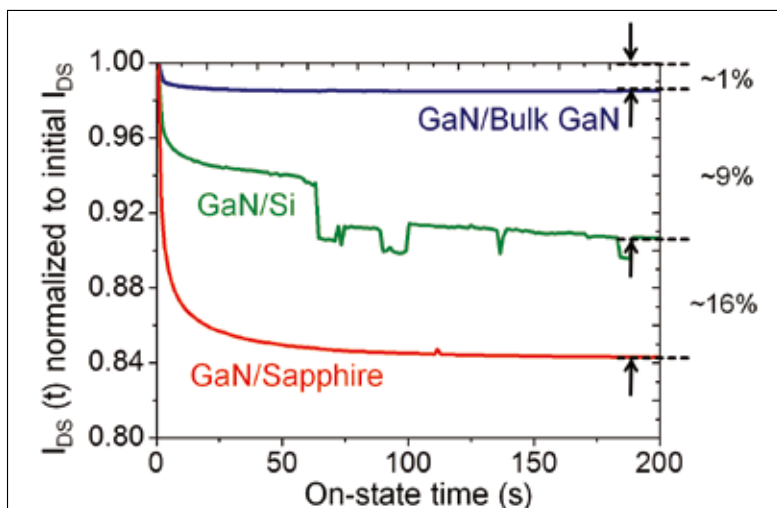


图6. 体GaN衬底的散热能力允许极大地减少自热。虽然硅有比GaN更高的热导率，但是应力补偿所需的多层则成为了散热的瓶颈。

这可能通过引入衬底转移方法来实现，其中几个2英寸体 GaN 晶圆的有源层转移到比如8英寸硅的载体衬底上，而留下的模板可以重新调整和重复使用。我们正在积极与领先的外延伙伴合作。我们计划在两年内一起通过这种方法生产材料，目的是促进 GaN 上 GaN HEMT 的商业化。☞

纳微、台积电及 Amkor 三方合作大批量生产 GaN 功率 IC

近日，氮化镓（GaN）功率 IC 供应商纳微（Navitas）宣布与台积电和 Amkor 结成主要制造合作伙伴，以支持客户在 2018 年及未来的巨大需求。GaN 功率 IC 平台自从去年推出以来，市场反应一直十分良好，客户快速采用这项颠覆性产品，使得下一代快速手机充电器、微型化消费产品适配器和其高能效和密度驱动功率电子应用能够实现显著的尺寸、效率和充电速率改善。

纳微一直与这两家主要的半导体供应商合作，以获取巨大的产能。台积电是世界上最大型晶圆代工企业，针对专有纳微 GaN 功率 IC 平台的制造提供了业界最大型和最先进的 GaN-on-Silicon 晶圆产能。在封装方面，纳微的合作伙伴 Amkor 是业界其中一家最大型外包半导体装配和测试服务提供商。

台积电业务管理高级副总裁 Bradford Paulsen 表示：“我们非常高兴与 GaN 功率 IC 领导厂商纳微合作。台积电在 GaN 产能方面进行了大量的资本和工程技术投资，这个平台非常适合支持纳微及其客户的大批量需求。”

Amkor 全球销售和营销执行副总裁 John Stone 表示：“随着纳微推动这款全新平台的普及，我们期待与纳微进行合作。我们将通过大批量低成本 QFN 封装平台提供封装、测试和物流服务，为纳微及其客户带来所需要的卓越客户体验。”

纳微 GaN 功率 IC 开创业界先河，首次在 GaN 中全面

集成了功率器件、模拟和数字电路，其应用在电源密度、效率和成本方面实现了显著的提升。纳微使用标准工艺和设备达到了突破性能，能够实现高资本效益的快速产能扩展。手机充电器和消费产品适配器每年付运数多达十亿个，对于支持这些产品的大批量和快速发展的需求，这项巨大的产能是至关重要的。

纳微首席技术官 Dan Kinzer 补充道：“这些制造合作关系允许纳微非常快速地提升产量，我很荣幸能够与台积电和 Amkor 合作，这两家企业是出色的世界级供应链合作伙伴，我相信他们不仅拥有雄厚实力，并且致力于支持我们满足 GaN 功率 IC 产品预期的大幅需求增长。”

纳微半导体公司是世界上第一家也是唯一的 GaN 功率 IC 公司，于 2013 年在美国加利福尼亚州 El Segundo 成立。纳微拥有强大且不断增长的功率半导体行业专家团队，在材料、器件、应用程序、系统和营销及创新成功记录的领域内，合共拥有超过 200 年的经验；此外，其多位创始人也合共拥有超过 200 项专利。该公司专有的 AllGaN™ 工艺设计套件将最高性能的 GaN FET 与逻辑和模拟电路单片集成。纳微 GaN 功率 IC 为移动、消费、企业和新能源市场提供更小、更高能效和更低成本的电源。纳微拥有或正在申请的专利超过 30 项。☞

完善 GaN 肖特基势垒二极管

采用低速率生长漂移层，可制作具有非常高开关效率的垂直 GaN 肖特基势垒二极管。

由日本和中国的研究人员组建的一支合作伙伴团队宣称：他们制作了具有非常低导通电阻和创记录接通电压的垂直 GaN 肖特基势垒二极管。

来自上海大学的王林军是该研究团队的发言人，他说曾经有过报道的最低接通电阻为 $0.71 \text{ m}\Omega \text{ cm}^2$ 。“我们的是 0.72 ”。

由上海大学和位于日本筑波的国家材料科学研究所合作组建的这支研究团队所制作的二极管兼具非常小的导通电阻和比以往都低的接通电压，因而使其成为适于提高电子线路效率的极富吸引力的可选方案。

该团队所研发的二极管的架构与过去 10 年里开发的许多 GaN HEMT 有着明显的不同。更为常见的是横向几何结构，此结构由于具有高频能力和高击穿电场，因而可提供前景良好的性能。不过，转换效率和电流驱动却因由晶格失配所引起的位错，以及表面和界面状态而受损，这会导致电流崩塌。

现今，垂直结构（比如由王林军和同事们制作的器件）受到了广泛的关注。这些器件能在高电压和高电流条件下工作；它们具有非常低的导通电阻；而且，表面和界面状态对

它们的损害较少。

垂直型器件的两种主要选项是肖特基势垒二极管和 p-n 结二极管。王林军和同事们正在开发前者，原因是他们认为它更适合高功率、高频率开关应用。这是因为它不受少数载流子问题的困扰，而且具有较高的电子迁移率。这些特性合在一起具备了实现低导通电阻和低接通电压的潜力。

王林军和同事们声称，要通过成为率先开发出一款能够真正同时实现低导通电阻和低接通电压这一承诺的器件以取得新突破。对此至关重要是实现高迁移率漂移层。

为了开发高性能器件，王林军和同事们比较了采用不同生长条件制成的漂移层的特性。

具有 $4 \times 10^6 \text{ cm}^{-2}$ 位错密度的 GaN 衬底用于在 950°C 温度条件下进行 GaN 漂移层的 MOCVD 生长。采用了 4 种生长速率： $2.61 \mu\text{m}/\text{小时}$ 、 $4.72 \mu\text{m}/\text{小时}$ 、 $7.78 \mu\text{m}/\text{小时}$ 和 $8.08 \mu\text{m}/\text{小时}$ 。

肖特基势垒二极管的形成过程包含把 Ti/Al/Au 欧姆界面溅镀到衬底的背面，并使用电子束蒸镀和传统的剥离技术以添加产生肖特基接触的 Ni/Au 层。

原子力显微镜显示了以最高生长速率之外的其他生长速率形成的 GaN 漂移层中对齐的原子台阶。那个特定的示例受到了谷式缺陷的困扰。

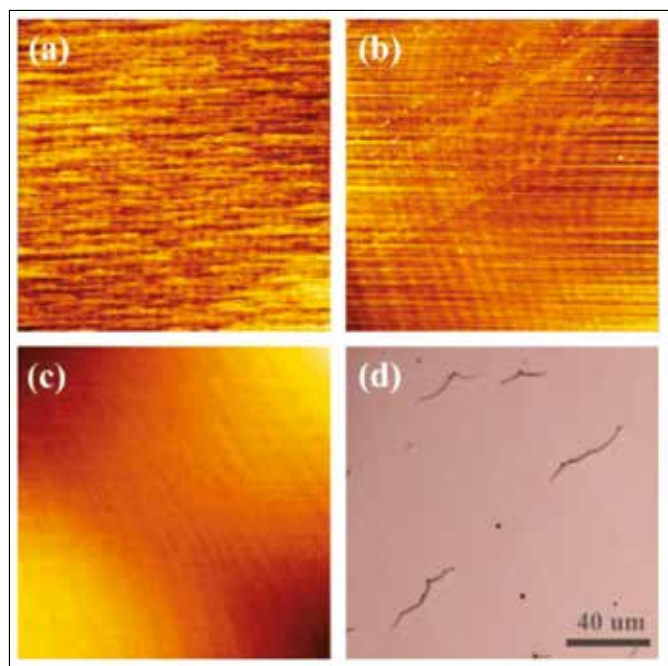
通过采用电流密度测量，该研发团队提取到了迁移率值。最低生长速率产生了 $1370 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 的迁移率，这是一个被称为是因电离作用散射减少（源于碳掺杂水平低）所导致的高数值。

电流 - 电压测量结果证实：较低的生长速率可造就更好的性能。尽管对于芯片制造商而言采用低生长速率并不理想（因为这增加了生产成本），但是王林军认为在他们的案例中这并不是什么大问题。“实际上，我们最低的生长速率仍然高于常见的水平。”

该研究团队目前正专注于提高其二极管的击穿电压，并熟悉该器件的击穿机理。

参考文献

B. Ren et. al. Appl. Phys. Express 10 051001 (2017)



原子力显微镜显示了在几种生长速率下 GaN 漂移层中对齐的原子台阶：(a) $2.61 \mu\text{m}/\text{小时}$ ，(b) $4.72 \mu\text{m}/\text{小时}$ ，和 (c) $7.78 \mu\text{m}/\text{小时}$ 。在 $8.08 \mu\text{m}/\text{小时}$ 生长速率下形成的薄膜的光学图像显露出谷式缺陷。

UV LED 功率的提升

AlN 纳米光子结构提高了 LED 取光效率，从而把功率输出提高到 150 mW 以上。

位于神户的日本国家信息与通信技术研究所 (NICT) 与筑波研究实验室的研究人员进行的一项合作提高了深紫外光发光二极管 (UV LED) 输出的水平。

该研究小组制作的 265 nm 器件在 850 mA 电流条件下可提供超过 150 mW 的连续波 (CW) 输出，这打破了 280 nm 以下 LED 器件的发光功率记录。这款采用一种新颖架构的大芯片的输出是传统平面型 LED 的 20 倍。

来自 NICT 的通讯作者 Shin-ichiro Inoue 说，这款创记录的 LED 具有一种有助于光提取的 AlN 纳米光子结构，可用于空气和水净化、表面消毒、化学和生物制剂检测、光刻微细加工和医疗诊断。

大多数深紫外光 LED 具有低输出功率和低外部量子效率，造成这种情况有两个主要原因，即基于 AlGaIn 的有源层中的高位错密度以及芯片的极低取光效率。

几年前，这支来自日本的研究小组通过把衬底从蓝宝石改为 AlN 解决了这些问题中的第一个。转到这个基础产生了小于 10^6 cm^{-2} 的位错密度。

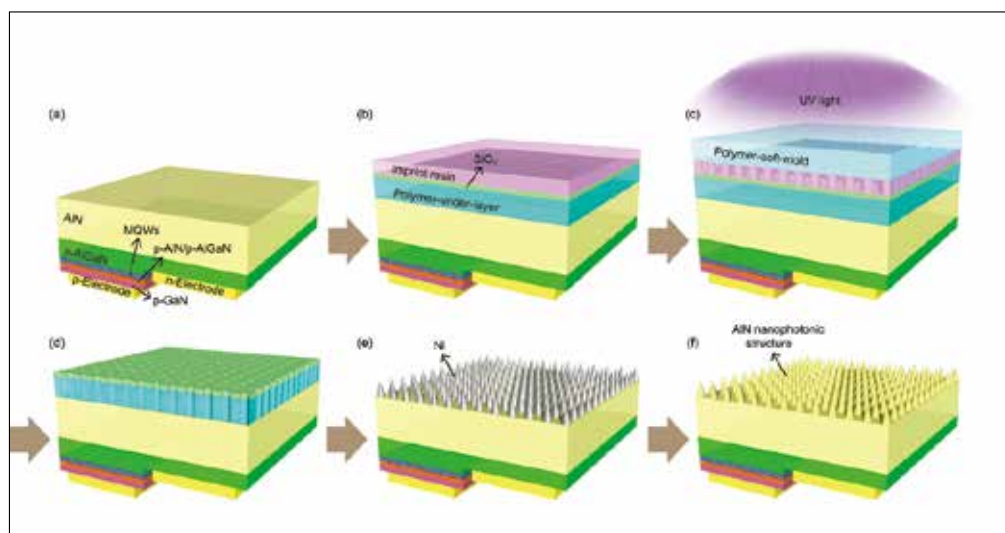
遗憾的是，AlN 衬底并不是包治一切的万能药。它们具有高得多的折射率，这导致光的逃逸锥大幅变窄和取光效率的下降。此外，在块状 AlN 中还存在由杂质引起的固有光吸收。

这种光吸收的程度取决于制作 AlN 所使用的方法。如果它是用氢化物气相外延 (HVPE) 工艺生长的，那么吸光系数比采用物理气相传输法形成时小了 3 倍以上。

为了把低位错密度与高取光度组合起来，研究人员制作的 UV LED 包含 AlN 纳米光子结构，在采用 HVPE 工艺生长的 $100 \mu\text{m}$ 厚的 AlN 衬底上形成。

制造工艺的一个主要部分是纳米压印光刻技术的使用，它使得该研究小组能够用一种大批量、高通量方法来制作大面积的光提取结构。把材料加工成大面积器件，以提供均

匀的电流扩散并允许大电流注入。器件制造从运用 MOCVD 工艺生长具有一个 AlN 电子阻挡层的多量子阱结构开始。纳米光子结构的形成始于给外延片添加三层：一个紫外光固化压印树脂层；一个 SiO_2 层（其充当硬掩模）；和一个聚合



具有 AlN 纳米光子结构的 UV LED 的形成过程包括：(a) 台面蚀刻以及在 n 型和 p 型电极上的加成；(b) 聚合物下层、一个 SiO_2 硬掩模和压印树脂膜的沉积；(c) 软紫外光纳米压印光刻工艺的运用；(d) SiO_2 和聚合物的等离子体蚀刻；(e) 镍沉积和剥离；(f) AlN 干蚀刻和湿蚀刻。

物牺牲层。UV 曝光发生在把一个柔性的低成本模具加到器件表面之后。接着，干蚀刻把压印图案转移到 SiO_2 硬掩模。在此之后，电子束蒸镀和剥离工艺形成了一个镍硬掩模图案，在两道蚀刻工序之前产生了亚波长 AlN 纳米结构。

利用此项工艺形成的 0.35 mm^2 LED 具有一个宽高比为 1.0、晶格常数为 600 nm 的 AlN 圆锥体的三角形晶格。圆锥体底部上的填充系数为 0.9。

当在室温条件下于 CW 模式中运作器件时，在最大工作注入电流为 850 mA 的条件下，该器件的最大输出为 151 mW。相比之下，传统的平面型 LED 在 450 mA 电流下产生的峰值输出为 38 mW。当以 850 mA 电流驱动时，后者的输出低于 20 mW。

Inoue 说，研究小组现在将专注于其芯片的封装工作，这项工作的完成应能实现更大功率、更高效的 LED 光发射。

参考文献

S. Inoue et. al. Appl. Phys. Lett. 110 141106 (2017)

Advertiser	广告商名称	网址	页码
AIXTRON SE	德国爱思强股份有限公司	www.aixtron.com	IFC
CS International Conference		www.cs-international.net/register	17-19
EDI CON China	电子设计创新大会	www.mwjournlchina.com/edicon	IBC
Evatec Ltd.		www.evatecnet.com	9
HES International Conference		https://highendsensors.net/home	25-26
IQE		www.iqep.com	BC
MACOM		www.macom.cn/diodes	FC, 10-15
PIC International Conference		www.picinternational.net/register	21-23

欢迎投稿

《化合物半导体》(CSC) 是针对中国化合物半导体及光电市场出版的专业杂志, 用简体中文出版。

本刊主要报道化合物半导体相关的材料、工艺、设备、器件、模块/组件、封装技术, 及其发展趋势和相关厂务设施。与读者一起紧跟行业发展, 共同面对在研发、制造过程中遇到的问题及挑战。

本刊的读者是活跃在化合物半导体及光电行业的技术管理人员、项目经理、科研人员、工程师以及从事开发、制造、工艺的专业人士。

本刊文章精选自英国物理协会著名杂志《Compound Semiconductor》, 翻译并编辑成形; 我们也报道全球平面显示制造商和研究机构的最新技术与资讯, 以及撰写其他与本地市场息息相关的新闻和文章; 并选编专业投稿。

本刊欢迎读者和供应商投稿, 文章一经采纳, 将在印刷版本和网上刊登。CSC 将为设计者和管理人员, 提供一个展现国内外厂商的最新成果的平台。

文章投稿指南

1. 文章主题突出、结构严谨、短小精悍, 中文字数不超过 3,000 字;
2. 文章最好配有两幅至四幅与内容相关的插图或表格; 插图与表格分别用图 1、图 2 或表 1、表 2 的次序编号, 编号与文中的

图表编号一致;

3. 请注明作者姓名、职务及所在公司或机构的名称。作者人数以四人为限;
4. 请勿一稿多投;
5. 请随稿件注明联系方式(邮编、地址、电话、电子邮件)。

新产品投稿指南

1. 新产品必须是中国市场新上市、可以在中国市场上买到;
2. 有关新产品来稿的内容应包含产品的名称、型号、功能、主要性能和特点、用途;
3. 短小精悍, 中文字数不超过 300 字;
4. 来稿请附产品照片。最好是在单色背景下简单的产品实物照片, 照片的分辨率不低于 300dpi;
5. 注明能提供进一步信息的人员姓名、电话、电子邮件。

优先刊登中文来稿(翻译稿请附英文原稿)。来稿请用电子邮件寄到: sunniez@actintl.com.hk。

如果您有什么意见或建议, 或者有什么想法同本刊编辑探讨, 请不吝赐教。

行政及销售办公室 Administration & Sales Offices

行政人员 Administration

HK Office (香港办公室)
ACT International (雅时国际通讯)
Unit B, 13/F, Por Yen Buiding,
No. 478 Castle Peak Road,
Cheung Sha Wan,
Kowloon, Hong Kong
Tel: 852-28386298

Publisher (社长) - China
Adonis Mak (麦协林)
Adonis@actintl.com.hk

Editor in China (中文版编辑)
Sunnies Zhao (赵雪芹)
sunnies@actintl.com.hk

Sales Director (销售总监)
Steven Gan (干辉)
steveng@actintl.com.hk

UK Office (英国办公室)
Angel Business
Communications Ltd.
6 Bow Court,
Fletchworth Gate,

Burnsall Road, Coventry,
CV56SP, UK
Tel: +44 (0)1923 690200
Chief Operating Officer
Stephen Whitehurst
stephen.whitehurst@angelbc.com
Tel: +44 (0)2476 718970

销售人员 Sales Offices

Asia (亚洲)
Mark Mak (麦协和)
markm@actintl.com.hk
Tel: 852-2838 6298

China (中国)

Shenzhen (深圳)
Jenny Li (李文娟)
jennyli@actintl.com.hk
Gavin Hua (华北平)
gavinh@actintl.com.hk
Tel: 86-755-2598 8571

Shanghai (上海)
Hatter Yao (姚丽莹)
hatterya@actintl.com.hk
Amber Li (李歆)
amberli@actintl.com.hk
Linda Li (李承珍)
lindali@actintl.com.hk
Tel: 86-21-6251 1200

Beijing (北京)

Cecily Bian (边团芳)
cecilyb@actintl.com.hk
Tel: 86-135 5262 1310
86-10-6748 4833

Wuhan (武汉)

Sky Chen (陈燕)
skyc@actintl.com.hk
Tel: 86-137 2373 9991
86-27-5923 3884/1564
Eva Liu (刘婷)
eval@actintl.com.hk
Tel: 86-138-8603 3073
Grace Zhu (朱婉婷)
gracez@actintl.com.hk
Tel: 86 159 1532 6267

Taiwan, Singapore, Malaysia
(台湾, 新加坡, 马来西亚)
Mark Mak (麦协和)
markm@actintl.com.hk
Tel: 852 2838 6298

Korea (韩国)

Lucky Kim
semieri@semieri.co.kr
Tel: 82-2-574-2466

US (美国)

Janice Jenkins
jjenkins@brunmedia.com
Tel: 724-929-3550

Tom Brun
tbrun@brunmedia.com
Tel: 724-539-2404

Europe (欧洲)

Shehzad Munshi
sm@angelbcl.co.uk
Tel: +44 (0)1923 690215
Jackie Cannon
jackie.cannon@angelbc.com
Tel: +44 (0) 1923 690205

EDI CON China
强势回归北京!

EDI
CON

2018

Electronic Design Innovation Conference

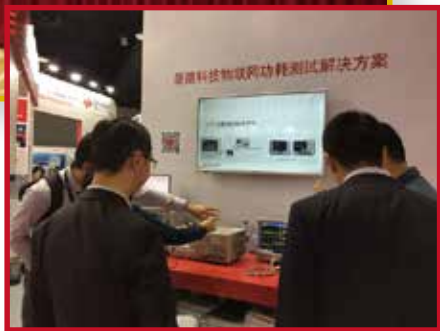
电子设计创新大会

立刻预定展位，迎接射频、微波和
高速数字设计领域的工程师们的拜访

3月20-22日

国家会议中心

北京



马上计划参展!

与工作在下列领域的专业人士深入交流:

- 射频和微波
- 信号完整性和功率完整性
- 高速数字设计
- 半导体
- 测试和测量设备
- 材料和封装
- EDA/CAD
- EMC/EMI

参会报名已开始!

立刻注册，参加技术会议、研习会、座谈会、
全体会议、行业领先的展览会和社交活动。

使用代码**EDICON18MWJ**
注册，节省50%门票费用

立即签约选择理想的展位! www.mwjournalchina.com/edicon

首席赞助商:



钻石赞助商:



企业赞助商:



主办单位:



your

EPITAXIAL GROWTH

partner



Enabling advanced technologies



- World leading technology
- Complete materials range
- MOCVD, MBE, CVD
- Advanced semiconductor wafer products
- Advanced R&D capabilities
- Multiple, manufacturing sites (Europe, Asia, USA)



www.iqep.com